

Docket No.: 67161-059

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
: Takaharu TSUJI :
Serial No.: : Group Art Unit:
: Filed: July 29, 2003 : Examiner:
: For: MAGNETIC MEMORY DEVICE WITH REFERENCE CELL FOR DATA READING

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

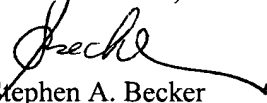
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-042230, filed February 20, 2003,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
CUSTOMER NUMBER 20277
Date: July 29, 2003



日 本 国 特 許 庁
JAPAN PATENT OFFICE

67161-059
Takaharu Tsuji
July 29, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 2月20日

出 願 番 号
Application Number:

特願2003-042230

[ST.10/C]:

[JP2003-042230]

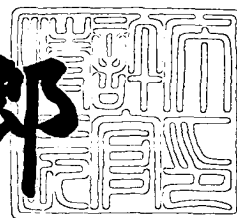
出 願 人
Applicant(s):

三菱電機株式会社

2003年 3月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3017779

【書類名】 特許願

【整理番号】 542918JP01

【提出日】 平成15年 2月20日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/15

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 辻 高晴

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気記憶装置

【特許請求の範囲】

【請求項 1】 同一方向に沿って配置された、複数のワード線および複数のダミーワード線と、

各々が、前記複数のワード線および前記複数のダミーワード線と交差する方向に配置された第 1 および第 2 のビット線から構成される複数のビット線対と、

前記複数のワード線と前記第 1 および第 2 のビット線との交点に交互配置され、かつ、各々が対応の前記ワード線の選択に応答して対応の前記第 1 または第 2 のビット線と電気的に接続される複数の磁気メモリセルと、

複数のダミーワード線と前記第 1 および第 2 のビット線の交点に交互配置され、かつ、対応の前記ダミーワード線の選択に応答して対応の前記第 1 または第 2 のビット線と電気的に接続される複数の磁気リファレンスセルと、

同一の前記ビット線対を構成する前記第 1 および第 2 のビット線の通過電流に基づいてデータ読出を実行するデータ読出回路と、

アドレス信号に応じて、前記複数のワード線および複数のダミーワード線の選択を制御する行選択部とを備え、

前記行選択部は、通常のデータ読出では、各前記ビット線対を構成する前記第 1 および第 2 のビット線が前記複数の磁性体メモリセルのうちの 1 つおよび前記複数の磁気リファレンスセルのうちの 1 つとそれぞれ接続されるように、前記複数のワード線のうちの 1 本および前記複数のダミーワード線のうちの 1 本を選択する一方で、第 1 のテストモードでは、各前記ビット線対を構成する前記第 1 および第 2 のビット線が前記複数の磁気リファレンスセルのうちの 2 つとそれぞれ接続されるように、前記複数のワード線の各々を非選択とするとともに前記複数のダミーワード線を選択する、磁気記憶装置。

【請求項 2】 前記複数の磁気メモリセルの各々は、前記対応の第 1 または第 2 のビット線と所定電圧の間に直列に接続された、磁気的に書込まれたデータに応じて高抵抗状態および低抵抗状態の一方に設定される磁気抵抗素子および前記対応のワード線の選択に応答して第 1 の抵抗値をオン抵抗として導通する第 1

のアクセススイッチを含み、

前記複数のリファレンスセルの各々は、前記対応の第 1 または第 2 のビット線と所定電圧の間に直列に接続された、前記対応のダミーワード線の選択に応答して導通する第 2 のアクセススイッチおよび前記磁気抵抗素子を含み、

前記磁気記憶装置は、前記第 2 のアクセススイッチの導通時のオン抵抗を制御する抵抗制御部をさらに備え、

前記抵抗制御部は、前記通常のデータ読出では、前記複数の磁気リファレンスセルの各々において、前記第 2 のアクセススイッチの導通時のオン抵抗を第 2 の抵抗値に制御する一方で、前記第 1 のテストモードでは、前記 2 本のビット線とそれぞれ接続された前記 2 つの磁気リファレンスセルのそれぞれにおいて、前記第 2 のアクセススイッチの導通時のオン抵抗を前記第 2 の抵抗値および前記第 2 の抵抗値とは異なる抵抗値へ制御し、

各前記リファレンスセル中の前記磁気抵抗素子の抵抗値および前記第 2 の抵抗値の和は、前記低抵抗状態の前記磁気抵抗素子の抵抗値および前記第 1 の抵抗値の和、ならびに、前記高抵抗状態の前記磁気抵抗素子の抵抗値および前記第 1 の抵抗値の和の中間レベルである、請求項 1 記載の磁気記憶装置。

【請求項 3】 前記抵抗制御部は、前記第 1 のテストモードでは、前記第 1 および第 2 のビット線とそれぞれ接続された前記 2 つの磁気リファレンスセルのそれぞれにおいて、前記第 2 のアクセススイッチの導通時のオン抵抗を前記第 1 および第 2 の抵抗値へそれぞれ制御する、請求項 2 記載の磁気記憶装置。

【請求項 4】 前記第 1 のアクセススイッチは、前記対応の第 1 または第 2 のビット線と前記所定電圧との間に前記磁気抵抗素子と直列に接続され、かつ、前記対応のワード線と接続されたゲートを有する第 1 の電界効果型トランジスタを有し、

前記第 2 のアクセススイッチは、前記対応の第 1 または第 2 のビット線と前記所定電圧との間に前記磁気抵抗素子と直列に接続された第 2 および第 3 の電界効果型トランジスタを有し、

前記第 2 の電界効果型トランジスタは、前記対応のダミーワード線と接続されたゲートを有し、

前記第 3 の電界効果型トランジスタは、前記抵抗制御部によって制御される基準電圧の入力を受けるゲートを有する、請求項 2 記載の磁気記憶装置。

【請求項 5】 前記複数の磁気メモリセルの各々は、磁気的に書込まれたデータのレベルに応じてセル抵抗が変化し、

前記複数の磁気リファレンスセルの各々は、前記複数の磁気メモリセルの各々と同様に構成され、

各前記ビット線対において、前記第 1 のビット線と接続された前記磁気リファレンスセルの各々と、前記第 2 のビット線と接続された前記磁気リファレンスセルの各々とは、それぞれ相補レベルの前記データを予め書込まれ、

前記磁気記憶装置は、

各前記第 1 のビット線を他の前記ビット線対に対応する前記第 1 のビット線とを接続するための第 1 のスイッチと、

各前記第 2 のビット線を他の前記ビット線対に対応する前記第 2 のビット線とを接続するための第 2 のスイッチと、

前記第 1 および第 2 のスイッチのオンおよびオフを制御するスイッチ制御部とをさらに備え、

前記第 1 または第 2 のスイッチによって接続可能な 2 本の前記第 1 または第 2 のビット線にそれぞれ対応する前記磁気リファレンスセルは、それぞれ相補レベルの前記データを予め書込まれており、

前記スイッチ制御部は、前記通常の前記データ読出では、選択メモリセルが前記第 1 のビット線と接続されている場合には前記第 1 のスイッチをオフするとともに前記第 2 のスイッチをオンする一方で、前記選択メモリセルが前記第 2 のビット線と接続されている場合には前記第 1 のスイッチをオンするとともに前記第 2 のスイッチをオフし、前記第 1 のテストモードでは、前記第 1 および第 2 のスイッチの各々をオフする、請求項 1 記載の磁気記憶装置。

【請求項 6】 前記複数のワード線および複数のダミーワード線と同一方向に沿って配置された複数のスペアワード線と、

各々が前記複数の磁気メモリセルの各々と同様に構成された複数の磁気スペアセルとをさらに備え、

前記複数の磁気スペアセルは、複数のスペアワード線と前記第 1 および第 2 のビット線の交点に交互配置され、かつ、対応の前記スペアワード線の選択に応答して対応の前記第 1 または第 2 のビット線と電氣的に接続され、

前記行選択部は、前記複数のスペアワード線の選択をさらに制御し、かつ、前記通常のデータ読出において、選択されるべき前記ワード線に対応する前記磁気メモリセルが不良を含む場合には、前記選択されるべきワード線に代えて、前記複数のスペアワード線のうちの 1 本を選択し、選択されるべき前記ダミーワード線に対応する前記磁気リファレンスセルが不良を含む場合には、前記選択されるべきダミーワード線に代えて、前記複数のスペアワード線のうちの 1 本を選択し、

前記複数のリファレンスセルが不良を含む場合には、前記複数のスペアセルは、前記複数のリファレンスセルとそれぞれ同様に、前記データを予め書込まれる、請求項 5 記載の磁気記憶装置。

【請求項 7】 前記行選択部は、第 2 のテストモードでは、各前記ビット線対を構成する前記第 1 および第 2 のビット線が前記複数の磁気スペアセルのうちの 2 つとそれぞれ接続されるように、前記複数のワード線および前記複数のダミーワード線の各々を非選択とするとともに前記複数のスペアワード線を選択する、請求項 6 記載の磁気記憶装置。

【請求項 8】 前記複数の磁気メモリセルの各々は、前記対応の第 1 または第 2 のビット線と所定電圧の間に直列に接続された、磁氣的に書込まれたデータに応じて抵抗が変化する磁気抵抗素子および前記対応のワード線の選択に応答して導通する第 1 のアクセススイッチを含み、

前記複数の磁気ダミーセルの各々は、前記対応の第 1 または第 2 のビット線と所定電圧の間に直列に接続された、前記対応のダミーワード線の選択に応答して導通する第 2 のアクセススイッチおよび前記磁気抵抗素子を含み、

前記複数の磁気スペアセルの各々は、前記対応の第 1 または第 2 のビット線と所定電圧の間に直列に接続された、前記対応のスペアワード線の選択に応答して導通する第 3 のアクセススイッチおよび前記磁気抵抗素子を含み、

前記第 1、第 2 および第 3 のアクセススイッチの導通時の抵抗値は、実質的に

同一である、請求項 6 記載の磁気記憶装置。

【請求項 9】 前記複数のワード線および複数のダミーワード線と同一方向に沿って配置された複数のスペアワード線と、

前記複数の磁気リファレンスセルを置換するための複数の磁気スペアセルとをさらに備え、

前記複数の磁気スペアセルは、複数のスペアワード線と前記第 1 および第 2 のビット線の交点に交互配置され、かつ、対応の前記スペアワード線の選択に応答して対応の前記第 1 または第 2 のビット線と電氣的に接続され、

前記行選択部は、前記複数のスペアワード線の選択をさらに制御し、かつ、第 2 のテストモードでは、各前記ビット線対を構成する前記第 1 および第 2 のビット線が前記複数の磁気スペアセルのうちの 2 つとそれぞれ接続されるように、前記複数のワード線および前記複数のダミーワード線の各々を非選択とするとともに前記複数のスペアワード線を選択する、請求項 1 記載の磁気記憶装置。

【請求項 10】 外部入力に応答して固定的に情報を記憶するプログラム素子を含み、前記プログラム素子への前記外部入力の印加の有無に応じたプログラム信号を出力するプログラム回路をさらに備え、

前記行選択部は、前記磁気リファレンスセルが不良を含むと認識した場合には、前記選択されるべきダミーワード線に代えて、前記複数のスペアワード線のうちの 1 本を選択し、

前記行選択部は、前記磁気リファレンスセルに不良が存在しているかどうかについて、前記通常の実データ読出では前記プログラム信号に基づいて認識する一方で、第 3 のテストモードでは外部からの電気信号に応じて認識する、請求項 9 記載の磁気記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、磁気記憶装置に関し、より特定的には、正規の磁気メモリセルおよびリファレンスセルへのアクセスの比較に基づいてデータを読出す磁気記憶装置に関する。

【 0 0 0 2 】

【従来の技術】

磁気ランダムアクセス記憶装置（MRAMデバイス）は、トンネル磁気抵抗（TMR）効果を有する素子（以下、「トンネル磁気抵抗素子」と称する）をメモリセルとして備えている。トンネル磁気抵抗素子は、磁気トンネル接合構造を有し、磁化方向が固定された第1の磁性体薄膜と、外部からの印加磁界によって磁化方向が書替え可能な第2の磁性体薄膜と、当該第1および第2の磁性体薄膜に挟まれたトンネル絶縁膜とで構成される。

【 0 0 0 3 】

トンネル磁気抵抗素子は、上記第1および第2の磁性体薄膜の磁気モーメントの向きが平行な状態および反平行な状態で、抵抗がそれぞれ最小値 R_{min} および最大値 R_{max} となる特徴を有する。したがって、トンネル磁気抵抗素子を有する磁気メモリセル（以下、「MTJメモリセル」とも称する）では、トンネル磁気抵抗素子中の磁気モーメントとの平行状態（低抵抗状態）および反平行状態（高抵抗状態）が、記憶データの論理レベル“0”および“1”とそれぞれ対応付けられる。

【 0 0 0 4 】

MTJメモリセルの記憶データは、磁性体薄膜の磁化方向を反転可能なしきい値レベルを越えるデータ書込磁界の印加によって書替えられるまで、不揮発的に保持される。一般的にMRAMデバイスにおいては、MTJメモリセルの行に対応して設けられた書込選択線であるディジット線および読出選択線であるワード線と、MTJメモリセルの列に対応して設けられたデータ線であるビット線とによって、ランダムアクセスが実現される。すなわち、MTJメモリセルは、ビット線およびワード線／ディジット線の交差部分に対応して配列されることになる。

【 0 0 0 5 】

データ読出時には、ワード線選択に応じて、選択されたMTJメモリセル（以下、「選択メモリセル」と称する）のトンネル磁気抵抗素子に対応するビット線とソース線との間に電氣的に接続される。その状態で、ビット線およびソース線

間に電位差を与えることによって生じるMTJメモリセルの通過電流（以下、「メモリセル電流」と称する）、すなわちビット線通過電流を検知して、選択メモリセルの記憶データが読出される。具体的には、メモリセル電流が、抵抗 R_{max} に対応するデータを記憶するMTJメモリセルの通過電流 I_{min} と、抵抗 R_{min} に対応するデータを記憶するMTJメモリセルの通過電流を I_{max} とのいずれであるかを検知する必要がある。

【0006】

この際に、当該MTJメモリセルの通過電流との比較対象となる基準電流を、トンネル磁気抵抗素子を用いて構成されたりファレンスセルによって生成する技術が開示されている（たとえば、特許文献1）。

【0007】

基準電流は、上述した2種類のメモリセル電流 I_{max} および I_{min} の中間値となるように設定される必要がある。したがって、MTJメモリセルと同様のトンネル磁気抵抗素子を用いて基準電流を生成することにより、基準電流を適切なレベルに設定しやすくなるという効果がある。

【0008】

【特許文献1】

特開2002-222589号公報（第1図、第6頁）

【0009】

【発明が解決しようとする課題】

上述したような、データ読出が選択メモリセルおよびリファレンスセルの通過電流の比較に応じて実行される構成では、リファレンスセルに不良が生じた場合には、正常なデータ読出を実行できなくなってしまう。

【0010】

しかしながら、従来の動作テストでは、正規のMTJメモリセルに所定パターンのデータをテスト書込し、かつテスト書込後に読出したデータが当該所定パターンに基づく期待値と合致しているかどうかを確認する手法が一般的である。このような動作テストでは、読出データが期待値と不一致である場合に、当該不良が正規のMTJメモリセルおよびリファレンスセルのいずれで生じているかを特

定することが困難である。特に、通常時と同様のデータ読出では、基準電流を生成するリファレンスセル自身が不良であるか否かを試験することが困難である。

【0011】

上記特許文献1には、リファレンスセル専用のリファレンスビット線を当該リファレンスビット線のスペアによって置換救済可能な構成が開示されているが、リファレンスセル自身の試験が困難である以上、リファレンスビット線をスペアによって置換救済すべきか否かを正しく判断することは難しい。

【0012】

このように、正規のMTJメモリセルおよびリファレンスセルのいずれに不良が発生しているかを正しく判断できないと、不良メモリセルを効率的に置換救済して、MRAMデバイスの製造歩留りを向上させることが困難である。

【0013】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、データ読出時の基準電流を発生するリファレンスセル自体を試験するテストモードを備えた磁気記憶装置を提供することである。

【0014】

【課題を解決するための手段】

この発明に従えば、磁気記憶装置は、同一方向に沿って配置された、複数のワード線および複数のダミーワード線と、各々が複数のワード線および複数のダミーワード線と交差する方向に配置された第1および第2のビット線から構成される複数のビット線対と、複数のワード線と第1および第2のビット線との交点に交互配置され、かつ、各々が対応のワード線の選択に応答して対応の第1または第2のビット線と電気的に接続される複数の磁気メモリセルと、複数のダミーワード線と第1および第2のビット線の交点に交互配置され、かつ、対応のダミーワード線の選択に応答して対応の第1または第2のビット線と電気的に接続される複数の磁気リファレンスセルと、同一のビット線対を構成する第1および第2のビット線の通過電流に基づいてデータ読出を実行するデータ読出回路と、アドレス信号に応じて、複数のワード線および複数のダミーワード線の選択を制御する行選択部とを備え、行選択部は、通常データ読出では、各ビット線対を構成

する第1および第2のビット線が複数の磁性体メモリセルのうちの1つおよび複数の磁気リファレンスセルのうちの1つとそれぞれ接続されるように、複数のワード線のうちの1本および複数のダミーワード線のうちの1本を選択する一方で、第1のテストモードでは、各ビット線対を構成する第1および第2のビット線が複数の磁気リファレンスセルのうちの2つとそれぞれ接続されるように、複数のワード線の各々を非選択とするとともに複数のダミーワード線を選択する。

【0015】

【発明の実施の形態】

以下において、本発明の実施の形態を図面を参照して詳細に説明する。なお、図中における同一符号は同一または相当部分を示すものとする。

【0016】

〔実施の形態1〕

(MRAMの全体構成)

まず、実施の形態1に従う構成の説明に先立って、MRAMデバイスの全体構成について説明する。

【0017】

図1は、本発明の実施の形態に従うMRAMデバイス1の全体構成を示すブロック図である。

【0018】

図1を参照して、本発明の実施の形態に従うMRAMデバイス1は、メモリセルアレイ10と、行選択部30と、列選択部40と、プログラム回路41と、ライトディジット線電流制御部(WDL電流制御部)60と、ビット線電流制御回路(BL電流制御回路)70a、70bと、ビット線セクタ(BLセクタ)80と、データ読出アンプ90とを備える。

【0019】

メモリセルアレイ10は、ロウアドレス信号RAddおよびコラムアドレス信号CAddによって選択される複数のMTJメモリセル20(以下、「正規メモリセル」とも称する)を含む。後ほど詳細に説明するように、メモリセルアレイ10には、基準電流Irefを生成するための複数のリファレンスセルおよび当

該複数のリファレンスセルを置換するためのスペアセルがさらに配置されている。

【 0 0 2 0 】

各正規メモリセル 2 0 は、トンネル磁気抵抗素子 2 2 を含む。トンネル磁気抵抗素子 2 2 は、磁氣的に書込まれたデータに応じて抵抗が変化する。MTJメモリセルの抵抗は、記憶データに応じて、 R_{min} （低抵抗状態）または R_{max} （高抵抗状態）となる。なお以下では、抵抗 R_{max} および R_{min} の差を、抵抗差 ΔR （ $\Delta R = R_{max} - R_{min}$ ）とも表記する。

【 0 0 2 1 】

MTJメモリセルの行に対応して、行選択線 4 5 が配置される。行選択線 4 5 は、データ読出のためのワード線WLおよびデータ書込のためのライトディジット線WDLを総括的に表記したものである。さらに、MTJメモリセル 2 0 の列に対応してビット線が配置される。隣接する 2 本ずつのビット線は、ビット線対BLPを構成する。以下においては、同一のビット線対BLPを構成する 2 本のビット線を、それぞれビット線BLおよび／BLとも称することとする。

【 0 0 2 2 】

各メモリセル行において、正規メモリセル 2 0 は、ビット線BLおよび／BLの一方と、1 行おきに接続される。たとえば、偶数行の正規メモリセル 2 0 は、ビット線／BLと接続され、奇数行の正規メモリセル 2 0 は、ビット線BLと接続されている。

【 0 0 2 3 】

この結果、正規メモリセル 2 0 は、行選択線 4 5 とビット線BL，／BLとの交点に交互配置される。各正規メモリセル 2 0 は、対応のビット線BLまたは／BLと、ソース線SLの間に接続される。ソース線SLは、固定電圧（たとえば接地電圧GND）を伝達する。

【 0 0 2 4 】

行選択部 3 0 は、制御信号RDE，WTEを受けるとともに、入力されたロウアドレス信号に応じて、行選択を実行する。なお、以下では、 $(m+1)$ ビット（ m ：自然数）のアドレスビット $RAdd(0) \sim RAdd(m)$ で構成される

ロウアドレスをロウアドレス信号 R A d d (0 : m) とともに表記する。制御信号 R D E は、データ読出サイクルに活性状態に設定され、制御信号 W T E は、データ書込サイクルに活性状態に設定される。

【 0 0 2 5 】

行選択部 3 0 は、各ライトディジット線 W D L のドライバ機能を含み、データ書込時には、各ライトディジット線 W D L の一端側を、ロウアドレス信号 R A d d (0 : m) に基づく行選択結果に応じた電圧で駆動する。さらに、行選択部 3 0 は、各ワード線 W L のドライバ機能を含み、データ読出時には、ロウアドレス信号 R A d d (0 : m) に基づく行選択結果に応じて、各ワード線 W L の電圧を駆動する。一方、W D L 電流制御部 6 0 は、各ライトディジット線 W D L の他端側をアドレス選択結果にかかわらず接地電圧 G N D と接続する。

【 0 0 2 6 】

具体的には、ワード線 W L は、データ読出時に選択行において、電源電圧 V c c で駆動され、論理ハイレベル（以下、単に「Hレベル」と称する）に設定される。それ以外では、非選択とされて、接地電圧 G N D で駆動されて論理ローレベル（以下、単に「Lレベル」と称する）に設定される。同様に、ライトディジット線 W D L は、データ書込時に選択行において、選択状態（Hレベル）に設定されて電源電圧 V c c で駆動され、それ以外では、非選択状態（Lレベル）に設定されて接地電圧 G N D で駆動される。

【 0 0 2 7 】

この結果、データ書込時ににおいて、選択行のライトディジット線 W D L には、行選択部 3 0 から W D L 電流制御部 6 0 へ向かう方向へデータ書込電流が供給される。これに対して非選択行のライトディジット線 W D L にはデータ書込電流は流されない。一方、データ読出時ににおいては、選択行に対応するワード線 W L が選択状態（Hレベル）に設定される一方で非選択行のワード線 W L は非選択状態（Lレベル）に維持される。

【 0 0 2 8 】

B L 電流制御回路 7 0 a , 7 0 b は、制御信号 W D E と、列選択部 4 0 によって示される列選択結果と、書込データ W D A T とに応じて、データ書込時にビッ

ト線 B L, / B L の両端の電圧を駆動する。具体的には、非選択列のビット線 B L の両端が接地電圧 G N D で駆動される一方で、選択列のビット線 B L は、その一端および他端側を、電源電圧 V c c および接地電圧 G N D の一方ずつでそれぞれ駆動される。これにより、書込データ W D A T のレベルに応じて、B L 電流制御回路 7 0 a から 7 0 b へ向かう方向、あるいは B L 電流制御回路 7 0 b から 7 0 a へ向かう方向にデータ書込電流が供給される。データ書込時以外には、B L 電流制御回路 7 0 a および 7 0 b の各々は、各ビット線 B L, / B L の両端を電源電圧 V c c および接地電圧 G N D のいずれにも駆動しない。

【 0 0 2 9 】

データ書込時に、選択メモリセルにおいては、対応のライトディジット線 W D L および対応のビット線 B L (または / B L) の両方にデータ書込電流が供給されるので、対応のビット線 B L (または / B L) のデータ書込電流に応じた方向にトンネル磁気抵抗素子 2 2 が磁化されてデータ書込が実行される。

【 0 0 3 0 】

B L セレクタ 8 0 は、制御信号 R D E および列選択部 4 0 によって示される列選択結果に基づいて、データ読出時に選択列のビット線対 B L P を構成するビット線 B L および / B L をデータ読出アンプ 9 0 と接続する。データ読出アンプ 9 0 は、選択列のビット線対 B L P を構成するビット線 B L および / B L の通過電流に基づいて、選択メモリセルからの読出データ R D A T を生成する。

【 0 0 3 1 】

M R A M デバイス 1 では、ブロック 1 0 0 に示される、選択されたビット線対 B L P、B L セレクタ 8 0 およびデータ読出アンプ 9 0 によってデータ読出が実行される。

【 0 0 3 2 】

また、プログラム回路 4 1 は、後程詳細に説明するように、外部入力に応答して固定的に情報を記憶するプログラム素子 (図示せず) を含み、当該プログラム素子への外部入力の印加の有無に応じたプログラム信号 P R G を出力する。プログラム素子の代表例としては、外部からのレーザ光照射によってブロー可能なヒューズ素子が挙げられる。

【 0 0 3 3 】

(従来のリファレンスセル行構成におけるデータ読出)

次に、リファレンスセルの配置について説明する。リファレンスセルの配置としては、上記特許文献 1 に示したようにリファレンスセル列を構成する配置と、リファレンスセルと正規メモリセルとの間でビット線 B L , / B L を共有するように、リファレンスセル行を構成する配置とが知られている。以下本明細書においては、リファレンスセル行構成について説明していく。

【 0 0 3 4 】

図 2 は、一般的なリファレンスセル行配置におけるメモリセルアレイ構成およびデータ読出を説明する回路図である。図 2 には、図 1 中に示したブロック 1 0 0 の詳細な構成、すなわち、各ビット線対 B L P に対応するデータ読出構成が示されている。

【 0 0 3 5 】

図 2 を参照して、図 1 でも説明したように、奇数行のワード線 W L 1 , W L 3 , … に対応する正規メモリセル 2 0 は、ビット線 B L と接続されており、偶数行のワード線、W L 0 , W L 2 , … に対応する正規メモリセル 2 0 は、ビット線 / B L と接続される。

【 0 0 3 6 】

図 3 は、各正規メモリセル 2 0 の構成を示す回路図である。

図 3 を参照して、正規メモリセル 2 0 は、対応のビット線 B L (または / B L) と接地電圧 G N D との間に直列に接続されたトンネル磁気抵抗素子 2 2 およびアクセストランジスタ 2 4 とを有する。

【 0 0 3 7 】

アクセススイッチとして設けられるアクセストランジスタ 2 4 は、代表的には、N-MOS トランジスタで構成され、そのゲートは対応のワード線 W L と接続されている。データ読出時には、対応のワード線 W L が選択状態 (H レベル) 設定されるのに応答してアクセストランジスタ 2 4 がターンオンして、ビット線 B L (または / B L) から接地電圧 G N D に至る経路に、トンネル磁気抵抗素子の抵抗値 (R m a x または R m i n) に応じたメモリセル電流 I m i n または I m

a xが生じる。

【0038】

データ書込時には、ワード線WLの非選択状態（Lレベル）に応答してアクセストランジスタ24がターンオフされた状態で、対応のライトディジット線WDLおよび対応のビット線BL（または／BL）に、データ書込電流が供給されることによりデータ書込が実行される。

【0039】

再び図2を参照して、ビット線BLおよび／BLには、さらにリファレンスセル21が接続されている。

【0040】

リファレンスセル21は、2つのリファレンスセル行を形成するように配置され、2つのリファレンスセル行のそれぞれに対応して、ダミーワード線DWL0およびDWL1と、基準電圧配線25-0および25-1がそれぞれ配置される。ダミーワード線DWL0に対応するリファレンスセル21は一方のビット線／BLと接続され、ダミーワード線DWL1に対応するリファレンスセル21は、もう一方のビット線BLと接続される。リファレンスセル21は、各ビット線対BLPに対応して、同様に設けられている。したがって、リファレンスセル21は、ダミーワード線DWL0、DWL1とビット線BL、／BLとの交点に交互配置される。

【0041】

図4は、各リファレンスセル21の構成を示す回路図である。

図4を参照して、リファレンスセル21は、対応のビット線BL（または／BL）と接地電圧GNDとの間に直列に接続された、トンネル磁気抵抗素子22、アクセストランジスタ26および27を含む。リファレンスセル21中のトンネル磁気抵抗素子22には、抵抗Rminに対応するデータが予め書込まれる。

【0042】

リファレンスセル21においては、アクセストランジスタ26、27によってアクセススイッチが構成される。アクセストランジスタ26のゲートは、対応のダミーワード線DWL（ダミーワード線DWL0およびDWL1を総括的に表記

したもの)と接続されており、アクセストランジスタ27のゲートは、基準電圧配線25(基準電圧配線25-0および25-1を総括的に表記したもの)と接続されている。

【0043】

ダミーワード線DWL0, DWL1は、選択時には、ワード線WLと同様に、電源電圧Vcc(Hレベル)へ駆動される。したがって、アクセストランジスタ26のオン抵抗は、正規メモリセル20中のアクセストランジスタ24と同等である。一方、基準電圧配線25-0, 25-1によって伝達される基準電圧VREFは、リファレンスセル21の通過電流、すなわち基準電流Irefが、メモリセル電流IminおよびImaxの中間レベルとなるように設定される。すなわち、基準電圧VREFをゲートに受けるアクセストランジスタ27の抵抗は、アクセストランジスタ24, 26のオン抵抗よりも大きく、リファレンスセル21中におけるアクセストランジスタ27およびトンネル磁気抵抗素子22の抵抗の和は、正規メモリセル20中のトンネル磁気抵抗素子22の2種類の抵抗RmaxおよびRminと、アクセストランジスタ24のオン抵抗とのそれぞれの和の中間レベルに設定される。

【0044】

図5は、図1に示した行選択部30中の、ダミーワード線DWL0およびDWL1の制御部分の構成を示す回路図である。

【0045】

図5を参照して、行選択部30中に設けられるダミーワード線制御部31は、インバータ101と、論理ゲート103および105とを有する。インバータ101は、ロウアドレスの最下位ビットRAdd(0)を反転して出力する。アドレスビットRAdd(0)は、偶数行選択時には“0”(Lレベル)に設定され、奇数行選択時には“1”(Hレベル)に設定される。

【0046】

論理ゲート103は、インバータ101の出力および制御信号RDEのAND演算結果に応じて、ダミーワード線DWL1の電圧を駆動する。同様に、論理ゲート105は、アドレスビットRAdd(0)および制御信号RDEのAND演

算結果に応じて、ダミーワード線DWL0の電圧を駆動する。

【0047】

この結果、偶数行、すなわちワード線WL0, WL2, …が選択されたデータ読出時にはダミーワード線DWL1が選択状態（Hレベル）へ設定され、かつ、ダミーワード線DWL0が非選択状態（Lレベル）に設定される。これにより、各ビット線対BLPにおいて、ビット線／BLに正規メモリセル20が接続される一方で、ビット線BLに対してリファレンスセル21が接続される。

【0048】

反対に、奇数行、すなわちワード線WL1, WL3, …が選択されたデータ読出時には、ダミーワード線DWL0およびDWL1の選択および非選択が偶数行選択時と入れ換えられる。これにより、各ビット線対BLPにおいて、ビット線BLに正規メモリセル20が接続される一方で、ビット線／BLに対してリファレンスセル21が接続される。

【0049】

再び図2を参照して、データ読出時には、ビット線対BLPを構成するビット線BL, /BLの一方に選択メモリセルによってメモリセル電流ImaxまたはIminが生じる。一方、ビット線BL, /BLの他方にリファレンスセル21によって基準電流Irefが発生する。BLセクタ80は、選択メモリセルに対応するビット線対BLPをデータ読出アンプ90と接続する。これにより、データ読出アンプは、選択列に対応するビット線BLおよび／BLの通過電流に基づいて読出データRDATを生成することができる。

【0050】

次に、実施の形態1に従うリファレンスセルの配置および当該リファレンスセルを置換するためのスペアセルの配置について詳細に説明する。

【0051】

（実施の形態1に従うリファレンスセルおよびスペアセルの配置）

図6は、実施の形態1に従うリファレンスセルおよびスペアセルの配置を説明する図である。図6においても、図2と同様に、1つのビット線対BLPに対応するブロック100#の構成が示される。実施の形態1に従うMRAMデバイス

では、図 1 に示した MRAM デバイスにおいて、各ビット線対 B L P に対するメモリセルアレイ構成が、ブロック 1 0 0 相当からブロック 1 0 0 # 相当に置換される。以下では、実施の形態 1 に従う MRAM デバイスについて、図 2 ～図 5 で説明した従来のリファレンスセル行構成と異なる点のみを説明する。それ以外の点については、これまで説明したのと同様であるので詳細な説明は繰り返さない。

【 0 0 5 2 】

図 6 を参照して、実施の形態 1 に従う構成においては、図 2 に示した構成と比較して、少なくとも 2 つのスペアセル行を構成するように、リファレンスセル 2 1 を置換するためのスペアセル（スペアリファレンスセル） 2 1 # がさらに配置される点異なる。2 つのスペアセル行に対応して、スペアワード線 S D W L 0 および S D W L 1 と、基準電圧配線 2 5 # - 0 および 2 5 # - 1 とがそれぞれ配置される。スペアワード線 S D W L 0 に対応するスペアセル 2 1 # は、ダミーワード線 D W L 0 に対応するリファレンスセル 2 1 と同様に、ビット線 / B L と接続される。一方、スペアワード線 S D W L 1 に対応するスペアセル 2 1 # は、ダミーワード線 D W L 1 に対応するリファレンスセル 2 1 と同様に、ビット線 B L と接続される。すなわち、スペアセル 2 1 # は、スペアワード線 S D W L 0、S D W L 1 とビット線 B L、/ B L との交点に交互配置される。

【 0 0 5 3 】

スペアセル 2 1 # は、リファレンスセル 2 1 と同様の構成を有する。すなわち、各スペアセル 2 1 # は、図 4 に示した構成と同様に、抵抗 R_{min} に対応するデータを予め書込まれたトンネル磁気抵抗素子 2 2 と、アクセススイッチを構成するアクセストランジスタ 2 6、2 7 とを有する。スペアセル 2 1 # 中において、アクセストランジスタ 2 6 のゲートは対応のスペアワード線 S D W L（S D W L 0 および S D W L 1 を総括的に表記したもの）に接続され、アクセストランジスタ 2 7 のゲートは、基準電圧配線 2 5 #（2 5 # - 0 および 2 5 # - 1 を総括的に表記したもの）と接続される。

【 0 0 5 4 】

図 7 は、行選択部 3 0 のうちのワード線 W L の制御部分の実施の形態 1 に従う

構成を示す回路図である。図 7 には、ワード線 WL 0 に対応する構成のみが代表的に示されるが、同様の構成は、各ワード線 WL に対応して設けられている。

【 0 0 5 5 】

ワード線制御部 3 2 は、デコードユニット 1 0 6 - 0 と、論理回路 1 0 7, 1 0 8 - 0 とを有する。デコードユニット 1 0 6 - 0 は、ロウアドレス信号 R A d d (0 : m) に応じて、ワード線 WL 0 の選択時に H レベルに設定され、それ以外に L レベルに設定されるデコード信号 W L E 0 を生成する。論理回路 1 0 7 は、テスト制御信号 D T E S T 0、D T E S T 1、S D T E S T 0 および S D T E S T 1 の NOR 演算結果を生成する。

【 0 0 5 6 】

図 8 は、テスト制御信号の設定を説明する図である。

図 8 を参照して、本発明の実施の形態 1 に従う M R A M デバイスにおける動作テストは、4 つのテストパターン i) ~ i v) を含む。テストパターン i) ~ i v) のそれぞれにおいて、テスト制御信号 D T E S T 0、D T E S T 1、S D T E S T 0 および S D T E S T 1 のうちの 1 つが H レベルに設定され、残りが L レベルに設定される。

【 0 0 5 7 】

テスト制御信号 D T E S T 0 または D T E S T 1 が H レベルに設定されるテストパターン i) および i i) は、リファレンスセル 2 1 の不良を検知するためのリファレンスセルテストモードである。これらのテストパターンでは、リファレンスセル 2 1 が適正な基準電流 I r e f を生成しているかどうかを、ダミーワード線 D W L 0 および D W L 1 にそれぞれ対応するリファレンスセル 2 1 同士へのアクセスによって試験する。

【 0 0 5 8 】

同様に、テストパターン i i i) および i v) は、スペアセル 2 1 # の不良を検知するためのスペアリファレンスセルテストモードである。これらのテストパターンでは、スペアセル 2 1 # が適正な基準電流 I r e f を生成しているかどうか、すなわちリファレンスセル 2 1 のスペアに成り得るか否かを、スペアワード線 S D W L 0 および S D W L 1 にそれぞれ対応するスペアセル 2 1 # 同士へのア

クセスによって試験する。

【0059】

再び、図7を参照して、論理ゲート108-0は、制御信号RDEと、デコードユニット106-0からのデコード信号WLE0と、論理回路107の出力信号との間のAND演算結果に応じて、対応のワード線WL0の電圧を駆動する。

【0060】

全てのテスト制御信号がLレベルに設定される通常のデータ読出時には、各ワード線WLは、選択行に対応するときに選択状態（Hレベル）に活性化され、それ以外においては非選択状態（Lレベル）に非活性化される。

【0061】

一方、テスト時に、テスト制御信号DTEST0、DTEST1、SDTEST0およびSDTEST1のうちの1つがHレベルに設定されると、正規メモリセルに対応する各ワード線WLは、強制的に非活性化される。

【0062】

図9は、実施の形態1に従うダミーワード線制御部33の構成を示す回路図である。ダミーワード線制御部33は、図1の行選択部30において、図5に示したダミーワード線制御部31に代えて配置される。

【0063】

図9を参照して、ダミーワード線制御部33は、インバータ112と、論理ゲート114～118とを含む。

【0064】

論理ゲート114は、テスト制御信号DTEST0およびDTEST1のOR演算結果を出力する。インバータ112は、論理ゲート114の出力をさらに反転して出力する。論理ゲート116は、論理ゲート114の出力およびアドレスビットRAdd(0)のOR演算結果を出力する。論理ゲート115は、インバータ112の出力およびアドレスビットRAdd(0)のNAND演算結果を出力する。論理ゲート117は、制御信号RDENと論理ゲート116の出力とのAND演算結果に応じて、ダミーワード線DWL0の電圧を駆動する。論理ゲート118は、制御信号RDENと論理ゲート115の出力とのAND演算結果に

応じて、ダミーワード線DWL1の電圧を駆動する。

【0065】

したがって、制御信号RDENがLレベルに設定されると、ダミーワード線DWL0、DWL1の各々は、Lレベルに非活性化される。一方、制御信号RDENがLレベルに設定された場合には、ダミーワード線DWL0およびDWL1は、論理ゲート116および115の出力レベルにそれぞれ応じて、選択状態（Hレベル）あるいは非選択状態（Lレベル）に設定される。

【0066】

論理ゲート115、116の出力は、テスト制御信号DTEST0およびDTEST1の各々がLレベルに設定されるときは、アドレスビットRAdd(0)に応じて、HレベルおよびLレベルの一方ずつとなる。一方、テスト制御信号DTEST0またはDTEST1がHレベルに設定されるときは、アドレスビットRAdd(0)にかかわらず、論理ゲート115、116の各出力は、Hレベルとなる。

【0067】

図10は、実施の形態1に従うスペアワード線制御部34の構成を示す回路図である。スペアワード線制御部34は、図1の行選択部30中に設けられる。

【0068】

図10を参照して、スペアワード線制御部34は、インバータ122と、論理ゲート124～128とを含む。

【0069】

論理ゲート124は、テスト制御信号SDTEST0およびSDTEST1のOR演算結果を出力する。インバータ122は、論理ゲート124の出力をさらに反転して出力する。論理ゲート126は、論理ゲート124の出力およびアドレスビットRAdd(0)のOR演算結果を出力する。論理ゲート125は、インバータ122の出力およびアドレスビットRAdd(0)のNAND演算結果を出力する。論理ゲート127は、制御信号RDESと論理ゲート126の出力とのAND演算結果に応じて、スペアワード線SDWL0の電圧を駆動する。論理ゲート128は、制御信号RDESと論理ゲート125の出力とのAND演算

結果に応じて、スペアワード線 S D W L 1 の電圧を駆動する。

【 0 0 7 0 】

したがって、制御信号 R D E S が L レベルに設定されると、スペアワード線 S D W L 0, S D W L 1 の各々は、非選択状態（L レベル）に設定される。一方、制御信号 R D E S が H レベルに設定された場合には、スペアワード線 S D W L 0 および S D W L 1 は、論理ゲート 1 2 6 および 1 2 5 の出力レベルにそれぞれ応じて、選択状態あるいは非選択状態に設定される。

【 0 0 7 1 】

論理ゲート 1 2 5, 1 2 6 の出力は、テスト制御信号 S D T E S T 0 および S D T E S T 1 の各々が L レベルに設定されるときは、アドレスビット R A d d (0) に応じて、H レベルおよび L レベルの一方ずつとなる。一方、テスト制御信号 S D T E S T 0 または S D T E S T 1 が H レベルに設定されるときは、アドレスビット R A d d (0) にかかわらず、論理ゲート 1 2 5, 1 2 6 の各出力は、H レベルとなる。

【 0 0 7 2 】

次に、ダミーワード線制御部 3 3 およびスペアワード線制御部 3 4 で用いられる制御信号 R D E N および R D E S の生成について説明する。

【 0 0 7 3 】

図 1 1 は、制御信号 R D E N を生成する構成を示す回路図である。

図 1 1 を参照して、プログラム回路 4 1 中のプログラムユニット 4 1 a は、プログラム信号 P R G 1 が生成されるノード N 1 と接地電圧 G N D との間に接続されたヒューズ素子（プログラム素子） 4 2 a および、電源電圧 V c c とノード N 1 の間に接続された高抵抗素子 4 3 a を含む。

【 0 0 7 4 】

ヒューズ素子 4 2 a のブロー前においては、ヒューズ素子 4 2 a および高抵抗素子 4 3 a の抵抗比に従って、ノード N 1 の電圧すなわちプログラム信号 P R G 1 は、L レベル（接地電圧 G N D）に設定される。これに対して、ヒューズ素子 4 2 a のブロー後には、プログラム信号 P R G 1 は、H レベルに設定される。

【 0 0 7 5 】

行選択部 3 0 内の置換制御部 3 5 は、論理ゲート 1 6 2、1 6 4 および 1 6 6 を有する。論理ゲート 1 6 2 は、テスト制御信号 D T E S T 0 および D T E S T 1 の N O R 論理演算結果を出力する。論理ゲート 1 6 4 は、信号 F O U T N と論理ゲート 1 6 2 の出力との N A N D 演算結果を出力する。プログラム信号 P R G 1 は、信号 F O U T N として、論理ゲート 1 6 4 へ直接入力される。論理ゲート 1 6 6 は、論理ゲート 1 6 4 の出力と制御信号 R D E の A N D 演算結果を制御信号 R D E N として出力する。

【 0 0 7 6 】

図 1 2 は、制御信号 R D E S を生成する構成を示す回路図である。

図 1 2 を参照して、プログラム回路 4 1 中のプログラムユニット 4 1 b は、プログラム信号 P R G 2 が生成されるノード N 2 と接地電圧 G N D との間に接続されたヒューズ素子（プログラム素子） 4 2 b および、電源電圧 V c c とノード N 2 の間に接続された高抵抗素子 4 3 b を含む。

【 0 0 7 7 】

ヒューズ素子 4 2 b のブロー前においては、ノード N 2 の電圧すなわちプログラム信号 P R G 2 は、H レベル（電源電圧 V c c）に設定される。これに対して、ヒューズ素子 4 2 b のブロー後には、プログラム信号 P R G 2 は、L レベルに設定されることになる。

【 0 0 7 8 】

行選択部 3 0 内の置換制御部 3 6 は、論理ゲート 1 7 2、1 7 4 および 1 7 6 を有する。論理ゲート 1 7 2 は、テスト制御信号 S D T E S T 0 および S D T E S T 1 の N O R 論理演算結果を出力する。論理ゲート 1 7 4 は、信号 F O U T S と論理ゲート 1 7 2 の出力との N A N D 演算結果を出力する。プログラム信号 P R G 2 は、信号 F O U T S として、論理ゲート 1 7 4 へ直接入力される。論理ゲート 1 7 6 は、論理ゲート 1 7 4 の出力と制御信号 R D E の A N D 演算結果を制御信号 R D E S として出力する。

【 0 0 7 9 】

ヒューズ素子 4 2 a、4 2 b は、リファレンスセルに不良が存在せず、リファレンスセルをスペアセルで置換する必要がない場合にはブローされない。この場

合には、プログラム信号 P R G 1 (信号 F O U T N) が L レベルに設定される一方で、プログラム信号 P R G 2 (信号 F O U T S) が H レベルに設定される。

【 0 0 8 0 】

反対に、ヒューズ素子 4 2 a, 4 2 b は、リファレンスセルに不良が存在し、リファレンスセルをスペアセルで置換する必要がある場合にブローされる。この場合には、プログラム信号 P R G 1 (信号 F O U T N) が H レベルに設定される一方で、プログラム信号 P R G 2 (信号 F O U T S) が L レベルに設定される。

【 0 0 8 1 】

テスト制御信号 D T E S T 0、D T E S T 1、S D T E S T 0 および S D T E S T 1 の各々が L レベルに設定される通常データ読出時には、論理ゲート 1 6 2 および 1 7 2 の各出力は H レベルとなる。したがって、ヒューズ素子 4 2 a, 4 2 b がブローされていない場合には、制御信号 R D E N は制御信号 R D E と同一レベルに設定され、制御信号 R D E S は L レベルに固定される。一方、ヒューズ素子 4 2 a, 4 2 b がブローされている場合には、制御信号 R D E S は制御信号 R D E と同一レベルに設定され、制御信号 R D E N は L レベルに固定される。

【 0 0 8 2 】

次に、テストモードでの制御信号 R D E N, R D E S の設定について説明する。リファレンスセルおよびスペアセルが試験されるテストモード時には、ヒューズ素子 4 2 a, 4 2 b は未ブロー状態である。

【 0 0 8 3 】

図 8 に示したリファレンスセルテストモードでは、テスト制御信号 D T E S T 0 または D T E S T 1 が H レベルに設定され、テスト制御信号 S D T E S T 0 および S D T E S T 1 の各々は L レベルに設定される。したがって、制御信号 R D E S および R D E N は、ヒューズ素子 4 2 a, 4 2 b が未ブローであるときの通常データ読出と同様に、制御信号 R D E N は制御信号 R D E と同一レベルに設定され、制御信号 R D E S は L レベルに固定される。

【 0 0 8 4 】

これに対して、図 8 に示したスペアリファレンスセルテストモードでは、テスト制御信号 S D T E S T 0 または S D T E S T 1 が H レベルに設定され、テスト

制御信号 D T E S T 0 および D T E S T 1 の各々は L レベルに設定される。したがって、制御信号 R D E S および R D E N は、ヒューズ素子 4 2 a, 4 2 b がブローされたときの通常データ読出と同様に、制御信号 R D E S は制御信号 R D E と同一レベルに設定され、制御信号 R D E N は L レベルに固定される。

【 0 0 8 5 】

再び図 9 および図 1 0 を参照して、リファレンスセルに不良が存在せずヒューズ素子 4 2 a, 4 2 b が未ブローのときには、制御信号 R D E S が L レベルに固定され、かつ、制御信号 R D E N が、制御信号 R D E と同レベルに設定される。これにより、スペアワード線 S D W L 0 および S D W L 1 の各々が非選択状態に固定される一方で、ダミーワード線 D W L 0 および D W L 1 の一方は、アドレスビット R A d d (0) に応じて選択される。この結果、正規メモリセル 2 0 中の選択メモリセルおよびリファレンスセル 2 1 へのアクセスによって、データ読出が実行される。

【 0 0 8 6 】

リファレンスセルに不良が存在するためヒューズ素子 4 2 a, 4 2 b がブローされた後では、制御信号 R D E N が L レベルに固定され、かつ、制御信号 R D E S が、制御信号 R D E と同レベルに設定される。これにより、ダミーワード線 D W L 0 および D W L 1 の各々が非選択状態に固定される一方で、ダミーワード線 D W L 0 および D W L 1 に代えて、スペアワード線 S D W L 0 および S D W L 1 の一方が、アドレスビット R A d d (0) に応じて選択される。この結果、リファレンスセル 2 1 に不良が生じている場合には、複数のリファレンスセル 2 1 を、複数のスペアセル 2 1 # によって置換して、データ読出が実行される。

【 0 0 8 7 】

一方、リファレンスセルテストモード時には、ダミーワード線 D W L 0 および D W L 1 の各々が選択状態 (H レベル) に設定される一方で、スペアワード線 S D W L 0 および S D W L 1 の各々は、非選択状態 (L レベル) に設定される。

【 0 0 8 8 】

また、スペアリファレンスセルテストモード時には、スペアワード線 S D W L 0 および S D W L 1 の各々が選択状態 (H レベル) に設定される一方で、ダミー

ワード線DWL0およびDWL1の各々は、非選択状態（Lレベル）に設定される。

【0089】

次に、リファレンスセルおよびスペアセルにおける、基準電圧配線の電圧制御について説明する。

【0090】

図13は、基準電圧配線25-0および25#-0の電圧を制御する電圧制御回路37の構成を説明する回路図である。

【0091】

図13を参照して、電圧制御回路37は、基準電圧VREFを生成する定電圧発生回路141と、論理ゲート142と、インバータ143と、トランスファゲート145と、ドライブトランジスタ147とを有する。

【0092】

論理ゲート142は、テスト制御信号DTEST0およびSDTEST0のOR演算結果を出力する。インバータ143は、論理ゲート142の出力を反転して出力する。トランスファゲート145は、論理ゲート142およびインバータ143の出力に応答して、論理ゲート142の出力がLレベルであるときにオンし、Hレベルであるときにオフする。ドライブトランジスタ147は、電源電圧Vccと基準電圧配線25-0、25#-0との間に接続されたP-MOSトランジスタで構成され、そのゲートはインバータ143の出力を受ける。

【0093】

したがって、論理ゲート142の出力がHレベルに設定される、テストパターンi)およびiii)では、基準電圧配線25-0および25#-0への供給電圧VREF0は、選択状態でのワード線WLの電圧と同様に、電源電圧Vccに設定される。これに対して、論理ゲート142の出力がLレベルに設定されるとき、すなわち通常のデータ読出およびテストパターンii)およびiv)においては、電圧VREF0は、基準電圧VREFに設定される。

【0094】

図14は、基準電圧配線25-1および25#-1の電圧を制御する電圧制御

回路 3 8 の構成を説明する回路図である。

【 0 0 9 5 】

図 1 4 を参照して、電圧制御回路 3 8 は、基準電圧 V_{REF} を生成する定電圧発生回路 1 4 1 と、論理ゲート 1 5 2 と、インバータ 1 5 3 と、トランスファゲート 1 5 5 と、ドライブトランジスタ 1 5 7 とを有する。なお、定電圧発生回路 1 4 1 は、電圧制御回路 3 7 および 3 8 で共有しても、両者にそれぞれ対応して独立に設けても良い。

【 0 0 9 6 】

論理ゲート 1 5 2 は、テスト制御信号 $DTEST1$ および $SDTEST1$ の OR 論理演算結果を出力する。インバータ 1 5 3 は、論理ゲート 1 5 2 の出力を反転して出力する。トランスファゲート 1 5 5 は、論理ゲート 1 5 2 およびインバータ 1 5 3 の出力に応答して、論理ゲート 1 5 2 の出力が L レベルであるときにオンし、H レベルであるときにオフする。ドライブトランジスタ 1 5 7 は、電源電圧 V_{cc} と基準電圧配線 2 5 - 1, 2 5 # - 1 との間に接続された P-MOS トランジスタで構成され、そのゲートはインバータ 1 5 3 の出力を受ける。

【 0 0 9 7 】

したがって、論理ゲート 1 5 2 の出力が H レベルに設定される、テストパターン $i i)$ および $i v)$ では、基準電圧配線 2 5 - 1 および 2 5 # - 1 への供給電圧 V_{REF1} は、選択状態でのワード線 WL の電圧と同様に、電源電圧 V_{cc} に設定される。これに対して、論理ゲート 1 5 2 の出力が L レベルに設定されるとき、すなわち通常のデータ読出およびテストパターン $i)$ および $i i i)$ においては、電圧 V_{REF1} は、基準電圧 V_{REF} に設定される。

【 0 0 9 8 】

図 1 5 は、実施の形態 1 に従う MRAM デバイスにおける、通常のデータ読出（ノーマル動作）およびリファレンスセルテストモードでの動作を説明する動作波形図である。

【 0 0 9 9 】

期間 $T1$ および $T2$ にはノーマル動作時の動作波形が示される。なお、リファレンスセルには不良が存在せず、ヒューズ素子 4 2 a, 4 2 b は未ブロー状態で

あるものとする。これに応じて、ノーマル動作時には、スピアワード線 $SDWL0$ および $SDWL1$ の各々は、非選択状態（Lレベル）に固定される（図示せず）。

【0100】

通常のデータ読出では、データ読出サイクルを規定する制御信号 RDE の活性状態（Hレベル）期間に応じて、制御信号 $RDEN$ も活性状態（Hレベル）に設定される。一方、ヒューズ素子 $42a$ 、 $42b$ が未ブロー状態であるため、制御信号 $RDES$ はLレベルに固定されている。

【0101】

期間 $T1$ においては、ワード線 $WL0$ を選択するロウアドレス $RA0$ と、第 y 番目（ y ：自然数）のビット線対を選択するコラムアドレス CAy とが入力される。これに応じて、ワード線 $WL0$ が選択されてHレベル（電源電圧 Vcc ）へ設定され、選択メモリセルは、対応のビット線 $/BLy$ （図示せず）と接続される。ビット線 $/BLy$ には、選択メモリセルの記憶データに応じたメモリセル電流 I_{max} または I_{min} が流される。

【0102】

偶数行のワード線 $WL0$ が選択されるため、これに対応して、ダミーワード線 $DWL1$ が選択状態（Hレベル）に設定され、ダミーワード線 $DWL0$ は非選択状態（Lレベル）に設定される。さらに、リファレンスセル 21 中のアクセストランジスタ 27 のゲートに印加される電圧 $VREF0$ および $VREF1$ の各々は、基準電圧 $VREF$ に設定される。これにより、ダミーワード線 $DWL1$ の選択に応答して、ビット線 $/BLy$ と対をなすビット線 BLy （図示せず）には、基準電流 I_{ref} が流される。

【0103】

この結果、対をなすビット線 BLy および $/BLy$ の通過電流に基づいて、選択メモリセルの記憶データ $Dout$ が、データ読出アンプ 90 から読出データ $RDAT$ として出力される。

【0104】

期間 $T2$ においては、ワード線 $WL1$ を選択するロウアドレス $RA1$ と、コラ

ムアドレス $C A y$ が入力される。これに応答して、ワード線 $W L 0$ に代えてワード線 $W L 1$ が選択される。すなわち、期間 $T 2$ においては、ワード線 $W L 1$ およびダミーワード線 $D W L 0$ が選択され、ダミーワード線 $D W L 1$ は非選択とされる。

【0105】

これに応じて、ビット線 $B L y$ には、選択メモリセルの記憶データに応じたメモリセル電流 $I m a x$ または $I m i n$ が流される。一方、ビット線 $B L y$ は、リファレンスセル 21 と接続されて、基準電流 $I r e f$ が流される。このようにして、期間 $T 1$ と同様にして選択メモリセルからのデータ読出が実行される。

【0106】

期間 $T 3$ および $T 4$ では、リファレンスセルテストモードが実行される。

期間 $T 3$ においては、図 8 におけるテストパターン i) に対応して、テスト制御信号 $D T E S T 0$ が H レベルに設定される。一方、図示しないが $D T E S T 1$ が L レベルに設定される。

【0107】

テストモードにおいては、正規メモリセルに対応する各ワード線 $W L$ は非選択状態 (L レベル) に固定されるので、ロウアドレス信号 $R A d d$ は、特に必要とされない。一方、ダミーワード線 $D W L 0$ および $D W L 1$ の各々が選択されて、各ビット線対 $B L P$ において、ビット線 $B L$ および $B L$ のそれぞれに、リファレンスセル 21 が接続される。

【0108】

テストパターン i) においては、基準電圧配線 25-0 の電圧 $V R E F 0$ は、ワード線 $W L$ の選択状態時と同様に電源電圧 $V c c$ に設定される。これに対して、基準電圧配線 25-1 の電圧 $V R E F 1$ は、通常 of データ読出におけるダミーワード線 $D W L$ の選択状態時と同様に、基準電圧 $V R E F$ に設定される。

【0109】

この結果、ダミーワード線 $D W L 1$ に対応するリファレンスセル 21 の通過電流が基準電流 $I r e f$ となる一方で、ダミーワード線 $D W L 0$ に対応するリファレンスセル 21 の通過電流は、正規メモリセルと同様に $I m a x$ となる。

【0110】

この状態で、入力されたコラムアドレス CA_y に従って、第 y 列のビット線 BL_y 、 $\neg BL_y$ がデータ読出アンプ 90 と接続される。ビット線 BL_y 、 $\neg BL_y$ の通過電流差に基づいて、データ読出アンプ 90 は、読出データ $RDATA$ を生成する。

【0111】

このとき、読出データ $RDATA$ によって、抵抗 R_{min} に対応するデータを正確に読出されているかどうかを判定する。読出データ $RDATA$ が正常であれば、ビット線 BL_y およびダミーワード線 DWL_1 に対応するリファレンスセル 21 が正常である、すなわち適正な基準電流 I_{ref} を生成している、という試験結果が得られる。一方、読出データ $RDATA$ が異常であるときには、当該リファレンスセルに不良があるという試験結果が得られる。

【0112】

期間 T_4 においては、図 8 におけるテストパターン $ii)$ に対応して、テスト制御信号 $DTEST_0$ が L レベルに設定される。一方、図示しないが $DTEST_1$ が H レベルに設定される。

【0113】

期間 T_4 においても、各ワード線 WL は非選択状態 (L レベル) に固定される一方で、ダミーワード線 DWL_0 および DWL_1 の各々が選択されて、各ビット線対 BLP において、ビット線 BL および $\neg BL$ のそれぞれに、リファレンスセル 21 が接続される。

【0114】

テストパターン $ii)$ においては、基準電圧配線 25-0 の電圧 V_{REF0} が基準電圧 V_{REF} に設定される一方で、基準電圧配線 25-1 の電圧 V_{REF1} は、ワード線 WL の選択状態時と同様に電源電圧 V_{cc} に設定される。

【0115】

この結果、ダミーワード線 DWL_0 に対応するリファレンスセル 21 の通過電流が基準電流 I_{ref} となる一方で、ダミーワード線 DWL_1 に対応するリファレンスセル 21 の通過電流は、正規メモリセルと同様に I_{max} となる。

【 0 1 1 6 】

この状態で、入力されたコラムアドレス CA_y に従って、データ読出アンプ 90 は、ビット線 BL_y 、 $\nearrow BL_y$ の通過電流差に基づいて、読出データ RDA_T を生成する。

【 0 1 1 7 】

したがって、期間 T_4 では、読出データ RDA_T が正常であるかどうかによって、ビット線 $\nearrow BL_y$ のダミーワード線 DWL_0 に対応するリファレンスセル 21 が正常であるかどうかを判定できる。以降、コラムアドレス信号 CA_{dd} を順次切換えることによって、各リファレンスセル 21 の不良有無を試験できる。

【 0 1 1 8 】

図 16 は、MRAM デバイス 1 のスペアリファレンスセルテストモードの動作を説明するための動作波形図である。

【 0 1 1 9 】

図 16 を参照して、期間 T_1 および T_2 においては、図 15 で示したと同様の通常のデータ読出（ノーマル動作）時の動作波形が示されている。

【 0 1 2 0 】

期間 T_1 においては、ロウアドレス RA_0 およびコラムアドレス CA_0 に応じて、ワード線 WL_0 およびビット線 $\nearrow BL_0$ と接続された選択メモリセルからの通常のデータ読出が実行される。同様に、期間 T_2 においては、ロウアドレス RA_1 およびコラムアドレス CA_0 に応じて、ワード線 WL_1 およびビット線 $\nearrow BL_0$ と接続された選択メモリセルからの通常のデータ読出が実行される。

【 0 1 2 1 】

期間 T_1 および T_2 における動作の詳細は、選択対象となるワード線およびビット線が異なる以外は、図 15 における期間 T_1 、 T_2 と同様であるので、詳細な説明は繰り返さない。

【 0 1 2 2 】

これに対して、期間 T_3 および T_4 においては、テスト制御信号 $SDTEST_0$ が H レベルに活性化されて、図 8 に示したテストパターン $i i i$ が実行される。図示しないが、テスト制御信号 $SDTEST_1$ が L レベルに設定される。

【 0 1 2 3 】

既に説明した様に、スペアリファレンスセルテストモードでは、データ読出サイクルを規定する制御信号 R D E の活性状態（Hレベル）期間に応じて、制御信号 R D E S も活性状態（Hレベル）に設定される。一方、制御信号 R D E N は L レベルに固定される。

【 0 1 2 4 】

スペアセルリファレンステストモードにおいても、正規メモリセルに対応する各ワード線 W L およびダミーワード線 D W L 0 および D W L 1 は、非選択状態（Lレベル）に固定される。一方、スペアワード線 S D W L 0 および S D W L 1 の各々が選択されて、各ビット線対 B L P において、ビット線 B L および / B L のそれぞれに、スペアセル 2 1 # が接続される。

【 0 1 2 5 】

テストパターン i i i) においては、基準電圧配線 2 5 # - 0 の電圧 V R E F 0 は、ワード線 W L の選択状態時と同様に電源電圧 V c c に設定される。これに対して、基準電圧配線 2 5 # - 1 の電圧 V R E F 1 は、通常 of データ読出におけるダミーワード線 D W L の選択状態時と同様に、基準電圧 V R E F に設定される。

【 0 1 2 6 】

この結果、スペアワード線 S D W L 1 に対応するスペアセル 2 1 # の通過電流が基準電流 I r e f となる一方で、スペアワード線 S D W L 0 に対応するスペアセル 2 1 # の通過電流は、正規メモリセルと同様に I m a x となる。

【 0 1 2 7 】

この状態で、入力されたコラムアドレス C A 0 に従って、ビット線 B L 0, / B L 0 がデータ読出アンプ 9 0 と接続され、ビット線 B L 0, / B L 0 の通過電流差に基づいて、読出データ R D A T が生成される。

【 0 1 2 8 】

このとき、読出データ R D A T によって、抵抗 R m i n に対応するデータを正確に読出されているかどうかを判定することにより、ビット線 B L 0 およびスペアワード線 S D W L 1 に対応するスペアセル 2 1 # が正常である、すなわち適正

な基準電流 I_{ref} を生成している、という試験結果が得られる。一方、読出データ RDA_T が異常であるときには、当該スペアセルに不良があるという試験結果が得られる。

【 0 1 2 9 】

期間 T_4 においては、コラムアドレスを CA_0 から CA_1 に切換えて、期間 T_3 と同様のスペアセルテストが実行される。したがって、期間 T_4 では、ビット線 BL_1 およびスペアワード線 $SDWL_1$ に対応するスペアセル 2_1 # についての試験結果が得られる。

【 0 1 3 0 】

また、スペアリファレンスセルテストモードにおいて、テストパターン iv) に対応してテスト制御信号 $SDTEST_0$ を L レベル、 $SDTEST_1$ を H レベルに設定すれば、基準電圧配線 2_5 # - 0 および基準電圧配線 2_5 # - 1 の電圧設定が入れ換えられるので、スペアワード線 $SDWL_0$ と接続されたスペアセル 2_1 # の各々の正常／不良を試験できる。

【 0 1 3 1 】

リファレンスセルテストモードおよびスペアリファレンスセルテストモードにおいて、コラムアドレス信号 CA_{dd} を順次切換えてテストを実行することにより、すべてのリファレンスセル 2_1 およびスペアセル 2_1 # について、正常／不良を試験することができる。

【 0 1 3 2 】

このように、実施の形態 1 に従う $MRAM$ デバイスにおいては、リファレンスセル 2_1 同士あるいはスペアセル 2_1 # 同士へのアクセスに基づくデータ読出を行なうテストモードを備えるので、各リファレンスセルおよび各スペアセルそのものに不良が存在するか否かを試験することができる。

【 0 1 3 3 】

また、リファレンスセル行単位で、スペアセル行と置換することができるので、複数個のリファレンスセルに不良が発生した場合に、置換救済を効率的に実行することができる。

【 0 1 3 4 】

〔実施の形態 2〕

正規メモリセルの動作テストを実行するには、正常なリファレンスセルによって適正な基準電流を発生することが必要である。このため、リファレンスセルの不良検出および置換救済は、正規メモリセルの動作テスト前に実行する必要がある。

【0135】

実施の形態 1 に従う構成では、図 1 1 および図 1 2 において説明したように、ヒューズ素子（プログラム素子）をブローすることによって、ダミーメモリセルをスペアセルによって置換救済することがプログラムされる。

【0136】

しかしながら、このような方式では、メモリテストによるリファレンスセルの動作テストを実行した後、メモリテストからレーザトリマ装置に MRAM デバイスを移してヒューズ素子のブローを行なった後で、再び MRAM デバイスをメモリテスト装置に装着して正規メモリセルの動作テストを実行する必要がある。

【0137】

したがって実施の形態 2 においては、リファレンスセルに不良検出が発生された場合にも、レーザトリマ装置などに移動させることなく、引続きテスト装置に装着したままで、正規メモリセルの動作テストを継続的に実行可能な構成について説明する。

【0138】

図 1 7 および図 1 8 は、実施の形態 2 に従う置換制御部の構成を示す回路図である。図 1 7 には、制御信号 R D E N を生成する置換制御部 3 5 # の構成が示され、図 1 8 には、制御信号 R D E S を生成する置換制御部 3 6 # の構成が示される。

【0139】

実施の形態 2 に従う MRAM デバイスにおいては、図 1 1 および図 1 2 に示された置換制御部 3 5 および 3 6 にそれぞれ代えて、図 1 7 および図 1 8 に示される置換制御部 3 5 # および 3 6 # がそれぞれ設けられる。MRAM デバイスのその他の部分の構成および動作は、実施の形態 1 で説明したのと同様であるので、

詳細な説明は繰り返さない。

【 0 1 4 0 】

図 1 7 を参照して、置換制御部 3 5 # は、図 1 1 に示された置換制御部 3 5 と比較して、P-MOS トランジスタ 1 6 7 およびトランスファゲート 1 6 8 をさらに含む点で異なる。

【 0 1 4 1 】

トランスファゲート 1 6 8 は、プログラムユニット 4 1 a 中のノード N 1 と、置換制御部 3 5 # 内のノード N 1 # との間に配置される。ノード N 1 # の電圧レベルは、信号 FOUTN として論理ゲート 1 6 4 へ入力される。P-MOS トランジスタ 1 6 7 は、電源電圧 Vcc とノード N 1 # との間に接続される。

【 0 1 4 2 】

ダミーリペア信号 DMRP が活性状態（Hレベル）に設定されると、トランスファゲート 1 6 8 がオフして、ノード N 1 およびノード N 1 # は電氣的に切り離される。さらに、P-MOS トランジスタ 1 6 7 がターンオンして、ノード N 1 # は電源電圧 Vcc と接続される。これにより、信号 FOUTN は、プログラムユニット 4 1 a においてヒューズ素子がブローされた場合と同様に、Hレベルに設定される。

【 0 1 4 3 】

一方、ダミーリペア信号 DMRP が非活性状態（Lレベル）に設定される時には、P-MOS トランジスタ 1 6 7 がターンオフされ、トランスファゲート 1 6 8 がオンするので、プログラム信号 PRG1 に応じて、すなわちプログラムユニット 4 1 a 中のヒューズ素子でのブロー有無に応じて、信号 FOUTN は設定される。

【 0 1 4 4 】

ダミーリペア信号 DMRP は、外部から電氣的なコンタクトによって入力可能な信号である。信号 FOUTN の設定以外については、置換制御部 3 5 # の動作は、図 1 1 に示された置換制御部 3 5 と同様であるので、詳細な説明は繰り返さない。

【 0 1 4 5 】

図 1 8 を参照して、置換制御部 3 6 # は、図 1 2 に示された置換制御部 3 6 と比較して、P-MOS トランジスタ 1 7 7 およびトランスファゲート 1 7 8 をさらに含む点で異なる。

【 0 1 4 6 】

トランスファゲート 1 7 8 は、プログラムユニット 4 1 b 中のノード N 2 と、置換制御部 3 6 # 内のノード N 2 # との間に配置される。ノード N 2 # の電圧レベルは、信号 F O U T S として論理ゲート 1 7 4 へ入力される。P-MOS トランジスタ 1 7 7 は、電源電圧 V c c とノード N 2 # との間に接続される。

【 0 1 4 7 】

ダミーリペア信号 D M R P が活性状態（H レベル）に設定されると、トランスファゲート 1 7 8 がオフして、ノード N 2 およびノード N 2 # は電氣的に切り離される。さらに、P-MOS トランジスタ 1 7 7 がターンオンして、ノード N 2 # は電源電圧 V c c と接続される。これにより、信号 F O U T S は、プログラムユニット 4 1 b においてヒューズ素子がブローされた場合と同様に、H レベルに設定される。

【 0 1 4 8 】

一方、ダミーリペア信号 D M R P が非活性状態（L レベル）に設定される時には、P-MOS トランジスタ 1 7 7 がターンオフされ、トランスファゲート 1 7 8 がオンするので、プログラム信号 P R G 2 に応じて、すなわちプログラムユニット 4 1 b 中のヒューズ素子でのブロー有無に応じて、信号 F O U T S は設定される。

【 0 1 4 9 】

信号 F O U T S の設定以外については、置換制御部 3 6 # の動作は、図 1 2 に示された置換制御部 3 6 と同様であるので、詳細な説明は繰り返さない。

【 0 1 5 0 】

このように、ダミーリペア信号 D M R P を活性状態（H レベル）に設定することにより、プログラム回路内のヒューズ素子を実際にブローすることなく、置換制御部 3 5 #, 3 6 # を当該ヒューズ素子がブローされたときと同様に動作させることができる。

【 0 1 5 1 】

したがって、実施の形態 2 に従う構成においては、リファレンスセルの試験を実行してリファレンスセルに不良が検出されれば、ダミーリペア信号 DMR P を H レベルに設定する。これにより、プログラム回路中のヒューズ素子を実際にブローすることなく、擬似的にヒューズ素子をブローしたのと同様の状態を作り出して、スペアセルによってリファレンスセルを置換救済した状態を作り出すことができる。

【 0 1 5 2 】

この結果、メモリテストによるリファレンスセルの試験後に、MRAM デバイスをレーザトリマ装置に移載してヒューズブローを実行することなく、メモリテストに装着したままで、正規メモリセルの動作テストへ移行することができる。これにより、動作テストを効率化して、その工程期間を短縮することが可能となる。

【 0 1 5 3 】

〔実施の形態 3〕

実施の形態 3 においては、実施の形態 1 とは異なり、リファレンスセルおよびスペアセルが、正規メモリセルと同様の構成を有する場合における、リファレンスセルおよびスペアセルのテストモードについて説明する。

【 0 1 5 4 】

図 1 9 は、実施の形態 3 に従うメモリセルアレイ構成を説明する回路図である。

【 0 1 5 5 】

実施の形態 3 に従う構成においては、2 つのビット線対 B L P ごとにグループ 1 8 0 をなして基準電流を生成する。したがって、図 1 9 には、グループ 1 8 0 のうちの代表的に示される 1 つを形成するビット線対 B L P 0 および B L P 1 に対応する構成を代表的に示している。実施の形態 3 に従う MRAM デバイスでは、メモリセルアレイ以外の部分の構成が、図 6 に示した構成から図 1 9 に示した構成へ変更される。その他の部分については、実施の形態 1 と同様であるので詳細な説明は繰返さない。

【 0 1 5 6 】

図 1 9 を参照して、リファレンスセル 2 0 d およびスペアセル 2 0 s が、図 6 におけるリファレンスセル 2 1 およびスペアセル 2 1 # と同様に、ビット線 B L , / B L と、ダミーワード線 D W L (D W L 0 , D W L 1 の総称) およびスペアワード線 S D W L (S D W L 0 , S D W L 1 の総称) との交点に交互配置される。

【 0 1 5 7 】

ただし、実施の形態 3 に従うリファレンスセル 2 0 d およびスペアセル 2 0 s の各々は、正規メモリセル 2 0 と同様の構成、すなわち図 3 に示した構成を有している。したがって、リファレンスセル 2 0 d およびスペアセル 2 0 s に対しては、基準電圧配線 2 5 (2 5 - 0 , 2 5 - 1 , 2 5 # - 0 , 2 5 # - 1 を総括的に示したもの) の配置は必要ない。また、リファレンスセル 2 0 d 中のアクセストランジスタ 2 4 のゲートは、対応のダミーワード線 D W L と接続され、スペアセル 2 0 s 中のアクセストランジスタ 2 4 のゲートは、スペアワード線 S D W L と接続される。ワード線 W L 、ダミーワード線 D W L およびスペアワード線 S D W L のそれぞれの選択時の電圧レベルは同一 (電源電圧 V c c) であるので、正規メモリセル 2 0 、リファレンスセル 2 0 d およびスペアセル 2 0 s の各々において、アクセススイッチに相当するトランジスタ 2 4 のオン抵抗は同一レベルである。

【 0 1 5 8 】

各ビット線対 B L P において、ビット線 B L に接続されるリファレンスセル 2 0 d およびスペアセル 2 0 s と、ビット線 / B L と接続されるリファレンスセル 2 0 d およびスペアセル 2 0 s とは、互いに相補レベルのデータを予め書込まれる。さらに、同一のグループ 1 8 0 を形成するビット線対間において、ビット線 B L に接続されるリファレンスセル 2 0 d およびスペアセル 2 0 s に予め書込まれるデータと、ビット線 / B L に接続されるリファレンスセル 2 0 d およびスペアセル 2 0 s に予め書込まれるデータとは互いに相補である。

【 0 1 5 9 】

具体的には、図 1 9 に示したビット線対 B L P 0 , B L P 1 では、ビット線 B

L 0 および / B L 1 と接続されるリファレンスセル 2 0 d およびスペアセル 2 0 s には、“1”（Hレベル）のデータが予め書込まれており、ビット線 / B L 0 および B L 1 と接続されるリファレンスセル 2 0 d およびスペアセル 2 0 s には、“0”（Lレベル）のデータが予め書込まれている。

【0 1 6 0】

各ビット線対 B L P とデータ読出アンプ 9 0 との間には、コラム選択ゲート C S G が配置される。図 1 9 には、ビット線対 B L P 0 および B L P 1 に対応するコラム選択ゲート C S G 0 および C S G 1 が代表的に示されている。

【0 1 6 1】

コラム選択ゲート C S G 0 は、ビット線 B L 0 および / B L 0 とデータ読出アンプ 9 0 の入力ノードとの間にそれぞれ接続された N-MOS トランジスタで構成され、当該 N-MOS トランジスタの各ゲートには、コラム選択線 C S L 0 が接続される。これにより、ビット線対 B L P 0 に選択メモリセルが対応する場合には、コラム選択線 C S L 0 の選択に応答して、ビット線 B L 0 および / B L 0 がデータ読出アンプ 9 0 と接続される。同様の構成は、各ビット線対 B L P に対応して設けられている。なお、このコラム選択ゲート C S G 0, C S G 1, …は、実施の形態 1 に示した B L セレクタ 8 0 に相当するものである。

【0 1 6 2】

さらに、実施の形態 3 に従う構成においては、同一のグループ 1 8 0 を形成するビット線対 B L P 間で、ビット線 B L および / B L 同士をそれぞれ接続するためのビット線スイッチ 1 8 1 および 1 8 2 が設けられる。図 1 9 においては、ビット線対 B L P 0 および B L P 1 の間に設けられたビット線スイッチ 1 8 1 および 1 8 2 が代表的に示される。これらのビット線スイッチ 1 8 1, 1 8 2 は、他のビット線対に対してもグループ 1 8 0 毎に同様に設けられている。

【0 1 6 3】

ビット線スイッチ 1 8 1 および 1 8 2 のオンおよびオフは、ビット線スイッチ制御回路 1 9 0 によって制御される。ビット線スイッチ制御回路 1 9 0 は、ビット線スイッチ 1 8 1 のオン・オフを制御する論理ゲート 1 9 1 と、ビット線スイッチ 1 8 2 のオン・オフを制御する論理ゲート 1 9 2 とを有する。

【 0 1 6 4 】

論理ゲート 1 9 1 は、テスト制御信号 T E S T とアドレスビット R A d d (0) の N O R 演算結果を出力する。論理ゲート 1 9 2 は、アドレスビット R A d d (0) を反転した $\neg R A d d (0)$ とテスト制御信号 T E S T との N O R 演算結果を出力する。

【 0 1 6 5 】

なお、テスト制御信号 T E S T は、リファレンスセルまたはスペアセルのテストを実行するときに H レベルに設定され、通常モードでは、L レベルに設定される。

【 0 1 6 6 】

ビット線スイッチ 1 8 1 は、ビット線 B L 0 および B L 1 の間に電氣的に接続されて、そのゲートに論理ゲート 1 9 1 の出力を受ける N - M O S トランジスタを有する。ビット線スイッチ 1 8 2 は、ビット線 $\neg B L 0$ および $\neg B L 1$ の間に電氣的に接続されて、そのゲートに論理ゲート 1 9 2 の出力を受ける N - M O S トランジスタを有する。

【 0 1 6 7 】

このような構成とすることにより、通常のデータ読出時には、ビット線スイッチ 1 8 1 および 1 8 2 は、偶数行および奇数行のいずれが選択されるかに応じて、一方がオンする。具体的には、偶数行の選択時には、“0”が予め書込まれたリファレンスセル 2 0 d が接続されるビット線 B L と、“1”が予め書込まれたリファレンスセル 2 0 d が接続される他のビット線 B L とを接続するようにビット線スイッチ 1 8 1 がオンする。一方、奇数行の選択時には、“0”が予め書込まれたリファレンスセル 2 0 d が接続されるビット線 $\neg B L$ と、“1”が予め書込まれたリファレンスセル 2 0 d が接続される他のビット線 $\neg B L$ とを接続するようにビット線スイッチ 1 8 2 がオンする。

【 0 1 6 8 】

これにより、“0”を記憶するリファレンスセル 2 0 d と、“1”を記憶するリファレンスセル 2 0 d との通過電流の和 $I_{max} + I_{min}$ が、データ読出アンプ 9 0 の入力ノードの一方へ入力される。これに対して、入力ノードの他方に

は、選択メモリセルによるメモリセル電流 I_{mx} または I_{min} が入力される。

【0169】

したがって、この電流 $I_{max} + I_{min}$ を、データ読出アンプ 90 内にカレントミラーアンプなどを設けて半分の値にすることにより、基準電流 $I_{ref} = (I_{max} + I_{min}) / 2$ を得ることができる。この結果、データ読出アンプ 90 は、このようにして得られた基準電流 I_{ref} と、メモリセル電流とに基づいて、データ読出を実行できる。なお、相補レベルのデータを予め記憶する 2 つのリファレンスセルの通過電流の和を $1 / 2$ にして基準電流を生成する構成は、上記特許文献 1 の図 5 に開示されているので援用する。

【0170】

図 20 は、実施の形態 3 に従う MRAM デバイスにおける、通常のデータ読出およびリファレンスセルテストモードでの動作を説明する動作波形図である。

【0171】

図 20 を参照して、期間 T_1 および T_2 においては、図 16 で示したと同様の通常のデータ読出（ノーマル動作）時の動作波形が示されている。

【0172】

期間 T_1 においては、ロウアドレス RA_0 およびコラムアドレス CA_0 に応じて、ワード線 WL_0 およびビット線 $/BL_0$ と接続された選択メモリセルからの通常のデータ読出が実行される。同様に、期間 T_2 においては、ロウアドレス RA_1 およびコラムアドレス CA_1 に応じて、ワード線 WL_1 およびビット線 BL_1 と接続された選択メモリセルからの通常のデータ読出が実行される。

【0173】

期間 T_1 および T_2 における動作の詳細は、図 19 で説明した基準電流 I_{ref} の生成以外については、図 16 における期間 T_1 、 T_2 と同様であるので、詳細な説明は繰り返さない

期間 T_3 および T_4 においては、テスト制御信号 $TEST$ が H レベルに活性化されて、リファレンスセルテストモードが実行される。なお、実施の形態 3 に従う構成においては、各ビット線対 BLP において、相補のビット線 BL 、 $/BL$ とそれぞれ接続されるリファレンスセル $20d$ （またはスペアセル $20s$ ）は、

互いに相補データを予め書込まれているので、テスト制御信号 D T E S T 0, D T E S T 1 の区別、およびテスト制御信号 S D T E S T 0, S D T E S T 1 の区別は必要ない。すなわち、実施の形態 3 に従う構成においては、リファレンスセルテストモードと、スペアセルテストモードの 2 つのテストパターンが存在する。

【 0 1 7 4 】

期間 T 3 において、実施の形態 1 でのテストパターン i), i i) と同様に、制御信号 R D E の活性状態 (H レベル) 期間に応じて、制御信号 R D E N も活性状態 (H レベル) に設定される。一方、図示しないが、制御信号 R D E S は L レベルに固定されている。

【 0 1 7 5 】

さらに、正規メモリセルに対応する各ワード線 W L は非選択状態 (L レベル) に固定される一方で、ダミーワード線 D W L 0 および D W L 1 の各々が選択されて、各ビット線対 B L P において、ビット線 B L および / B L のそれぞれに、リファレンスセル 2 0 d が接続される。

【 0 1 7 6 】

この状態で、入力されたコラムアドレス C A 0 に従って、ビット線 B L 0, / B L 0 がデータ読出アンプ 9 0 と接続される。これにより、ダミーワード線 D W L およびビット線 B L 0, / B L 0 と接続された 2 つのリファレンスセル 2 0 d が、テスト対象としてデータ読出アンプ 9 0 と接続される。

【 0 1 7 7 】

既に説明したように、テストモードでは、図 1 9 に示したビット線スイッチ 1 8 1, 1 8 2 の各々はオフされる。したがって、データ読出アンプ 9 0 は、ビット線 B L 0, / B L 0 の通過電流差、すなわちテスト対象となった 2 つのリファレンスセル 2 0 d の通過電流差に基づいて、読出データ R D A T を生成する。

【 0 1 7 8 】

この結果得られた読出データ R D A T が、テスト対象となった 2 つのリファレンスセル 2 0 d に予め書込まれた相補のデータレベルに正しく対応しているか否かによって、テスト対象のリファレンスセル 2 0 d の正常 / 不良が判定できる。

【 0 1 7 9 】

期間 T 4 においては、コラムアドレスを C A 0 から C A 1 に切換えて、期間 T 3 と同様のスペアセルテストが実行される。したがって、期間 T 4 では、ビット線 B L 1, / B L 1 およびダミーワード線 D W L に対応するリファレンスセル 2 0 d についての試験結果が得られる。

【 0 1 8 0 】

また、テスト制御信号 D T E S T 0, D T E S T 1, S T E S T 0, S D T E S T 1 の設定を入れ換えて、期間 T 3 および T 4 において、ダミーワード線 D W L 0, D W L 1 に代えて、スペアワード線 S D W L 0, S D W L 1 を選択すれば、リファレンスセル 2 0 d と同様にして、各スペアセル 2 0 s の正常／不良を試験できる。

【 0 1 8 1 】

このように実施の形態 3 に従う構成によれば、リファレンスセル 2 0 d およびスペアセル 2 0 s が正規メモリセル 2 0 と同一の構成を有する場合においても、実施の形態 1 と同様に、各リファレンスセルおよび各スペアセルそのものに不良が存在するか否かを試験することができる。したがって、複数個のリファレンスセルに不良が発生した場合に、置換救済を効率的に実行することができる。

【 0 1 8 2 】

〔実施の形態 3 の変形例〕

実施の形態 3 に従う構成では、正規メモリセル 2 0 とリファレンスセル 2 0 d とが同様の構成を有するため、スペアセル行を構成するように配置されたスペアセル 2 0 s によって、リファレンスセル 2 0 d および正規メモリセル 2 0 のいずれについても置換救済することが可能である。

【 0 1 8 3 】

したがって、実施の形態 3 の変形例においては、このような置換救済を可能とするような行選択について説明する。

【 0 1 8 4 】

図 2 1 には、(a) ～ (c) のそれぞれの場合におけるワード線 W L、ダミーワード線 D W L およびスペアワード線 S D W L の選択制御が示される。

【 0 1 8 5 】

図 2 1 (a) を参照して、正規メモリセル 2 0 およびリファレンスセル 2 0 d のいずれにも不良がない場合には、スペアセル 2 0 s による置換、すなわちスペアワード線 S D W L 0 および S D W L 1 の選択は必要でないので、偶数行選択時 (R A d d (0) = “ 0 ”) および奇数行選択時 (R A d d (0) = “ 1 ”) のいずれにおいても、スペアワード線 S D W L 0 および S D W L 1 の各々は非選択状態とされる。

【 0 1 8 6 】

これに対して、ワード線 W L およびダミーワード線 D W L 0 , D W L 1 に関しては、偶数行選択時には、選択メモリセルに対応する偶数行のワード線が選択される一方で、ダミーワード線 D W L 1 が選択される。これに対して、非選択行のワード線 W L およびダミーワード線 D W L 0 は非選択とされる。一方、奇数行選択時には、選択メモリセルに対応する奇数行のワード線が選択される一方で、ダミーワード線 D W L 0 が選択される。これに対して、非選択行のワード線 W L およびダミーワード線 D W L 1 は非選択とされる。

【 0 1 8 7 】

図 2 1 (b) を参照して、正規メモリセルに不良がある場合には、不良メモリセルに対応する不良アドレスがプログラムされて、入力されたロウアドレスと当該不良アドレスとが一致した場合に、対応する不良ワード線は非選択とされる。入力されたロウアドレスと当該不良アドレスとが一致しない場合には、各ワード線 W L は、図 2 1 (a) と同様に選択される。

【 0 1 8 8 】

ダミーワード線 D W L 0 および D W L 1 の選択および非選択は、図 2 1 (a) と同様に設定される。

【 0 1 8 9 】

これに対して、スペアワード線 S D W L 0 および S D W L 1 は、不良ワード線の選択時において、不良ワード線が偶数行に対応する場合には、スペアワード線 S D W L 0 が選択される一方で、スペアワード線 S D W L 1 が非選択とされる。これに対して、不良ワード線が奇数行に対する場合には、スペアワード線 S D W

L 1 が選択される一方で、スペアワード線 S D W L 0 が非選択とされる。

【 0 1 9 0 】

なお、不良ワード線以外のワード線 W L が選択された場合には、図 2 1 (a) と同様に、スペアワード線 S D W L 0 および S D W L 1 の各々が非選択とされる。

【 0 1 9 1 】

図 2 1 (c) には、リファレンスセル 2 0 d に不良が存在し、リファレンスセル 2 0 d 全体をスペアセル 2 0 s によって置換する場合が示される。

【 0 1 9 2 】

この場合には、正規メモリセルに対応する各ワード線 W L の選択および非選択は、図 2 1 (a) の場合と同様に設定される。一方、ダミーワード線 D W L 0 および D W L 1 は、リファレンスセル 2 0 d 全体がスペアセル 2 0 s によって置換されるので活性化される必要がないため、奇数行選択時および偶数行選択時の両方で非選択とされる。

【 0 1 9 3 】

スペアワード線 S D W L 0 および S D W L 1 の選択および非選択は、スペアセル 2 0 s を、正常動作時のリファレンスセル 2 0 d と同様にビット線 B L , / B L と接続するために、図 2 1 (b) におけるダミーワード線 D W L 0 および D W L 1 と同様に設定される。

【 0 1 9 4 】

このようなワード線 W L 、ダミーワード線 D W L およびスペアワード線 S D W L の選択および非選択を実現することにより、スペアセル行を構成するように配置されたスペアセル 2 0 s によって、正規メモリセル 2 0 およびリファレンスセル行を構成するように配置されたリファレンスセル 2 0 d の両方を置換可能とすることができる。

【 0 1 9 5 】

次に、このようなワード線 W L 、ダミーワード線 D W L およびスペアワード線 S D W L の制御を可能とするための構成について説明する。

【 0 1 9 6 】

図 2 2 は、実施の形態 3 に従うスペアワード線制御部 3 4 # の構成を示す回路図である。

【 0 1 9 7 】

図 2 2 を参照して、プログラム回路 4 1 は、プログラムユニット 4 1 a に相当するリファレンス置換記憶回路 4 1 a と、正規メモリセル置換記憶回路 4 1 c と、不良ワード線（不良メモリセル）に対応する不良アドレスを記憶する不良アドレス記憶回路 4 6 とを有する。正規メモリセル置換記憶回路 4 1 c は、図 1 1, 1 2 に示したプログラムユニット 4 1 a と同様に構成され、正規メモリセルの置換を行なうときに内蔵のヒューズ素子（図示せず）がブローされる。プログラム信号 P R G のレベルは、プログラム信号 P R G 1 と同様に、ヒューズ素子のブローに応答して固定的に変化する。

【 0 1 9 8 】

信号 F O U T S および F O U T は、リファレンス置換記憶回路 4 1 a からのプログラム信号 P R G 1 および正規メモリセル置換記憶回路 4 1 c からのプログラム信号 P R G とそれぞれ同レベルに設定される。不良アドレス記憶回路 4 6 は、不良アドレスを示すアドレスビット R A d d (0 : m) を固定的に記憶する。

【 0 1 9 9 】

スペアワード線制御部 3 4 # は、アドレス判定回路 2 0 4 と、論理スイッチ回路 2 0 6, 2 0 8 と、論理ゲート 2 0 9, 2 1 0 とを有する。アドレス判定回路 2 0 4 は、アクセス対象を示す入力アドレスを構成するアドレスビット R A d d (0 : m) を受けて、不良アドレス記憶回路 4 6 に記憶された不良アドレスと完全に一致するかどうかを判定する。両者が完全に一致した場合には、アドレス判定回路 2 0 4 の出力信号 N R E は H レベルに設定され、両者が不一致の場合には信号 N R E は L レベルに設定される。

【 0 2 0 0 】

論理スイッチ回路 2 0 6, 2 0 8 の各々は、信号 N R E, F O U T, F O U T S に応じて、図 2 1 (a) ~ (c) のいずれの場合に該当するかを判断し、アドレスビット R A d d (0)、その反転ビット / R A d d (0) および接地電圧 G N D のいずれかを出力する。

【 0 2 0 1 】

論理ゲート 2 0 9 は、論理スイッチ回路 2 0 6 の出力と制御信号 R D E との A N D 演算結果に応じた電圧で、スペアワード線 S D W L 0 を駆動する。同様に、論理ゲート 2 1 0 は、論理スイッチ回路 2 0 8 の出力と制御信号 R D E との A N D 演算結果に応じた電圧で、スペアワード線 S D W L 1 を駆動する。

【 0 2 0 2 】

論理スイッチ回路 2 0 6 および 2 0 8 の各々は、信号 F O U T および F O U T S の両方が L レベルであるときには、正規メモリセル 2 0 およびリファレンスセル 2 0 d のいずれにも不良が存在していないことを認識して、接地電圧 G N D を出力する。この結果、論理ゲート 2 0 9, 2 1 0 の各出力が L レベル固定されて、スペアワード線 S D W L 0, S D W L 1 は、非選択状態（L レベル）に設定される。これは、図 2 1（a）での動作に対応する。

【 0 2 0 3 】

また、信号 F O U T が H レベルに設定されている場合には、正規メモリセルの置換が必要であるため、図 2 1（b）に対応する動作を実行する必要がある。したがって、アドレス判定回路 2 0 4 からの出力信号 N R E によって、不良ワード線が選択されたと判定された場合には、論理スイッチ回路 2 0 6 は、反転ビット / R A d d（0）を出力し、論理スイッチ回路 2 0 8 は、アドレスビット R A d d（0）を出力する。

【 0 2 0 4 】

一方、信号 F O U T が H レベルであっても、信号 N R E が L レベルであれば、すなわち入力アドレスと不良アドレスとが一致していないときには、図 2 1（a）と同様の動作をする必要があるので、論理スイッチ回路 2 0 6 および 2 0 8 の各々は、接地電圧 G N D を出力する。

【 0 2 0 5 】

一方、不良を含むリファレンスセル 2 0 d の置換救済がプログラムされている場合には、図 2 1（c）に対応する動作を実行する必要がある。この場合には、信号 F O U T S が H レベルに設定されるので、これに应答して、論理スイッチ回路 2 0 6 は、アドレスビット R A d d（0）を出力し、論理スイッチ回路 2 0 8

は、反転ビット／RA d d (0) を出力する。

【0206】

以上のようにして、図21(a)～(c)に示したように、スペアワード線SDWL0, SDWL1の選択および非選択を制御することができる。

【0207】

なお、図21(a)～(c)に示されたダミーワード線DWL0, DWL1の選択および非選択は、実施の形態1に従う構成によって実現できるので詳細な説明は繰返さない。

【0208】

なお、各ワード線WLの選択については、図7に示したワード線制御部32において、論理ゲート108-0に対して図22に示した信号NREの反転信号をさらに入力して、4入力のAND論理演算結果に従って各ワード線WLを制御する構成とすればよい。

【0209】

すなわち、実施の形態3の変形例に従うMRMAデバイスでは、実施の形態3に従うMRAMデバイスの構成において、スペアワード線制御部34を図22に示したスペアワード線制御部34#に置換し、かつ、ワード線制御部32に対して上記の修正が加えられる。その他の部分の構成および動作については、実施の形態3と同様であるので、詳細な説明は繰返さない。

【0210】

以上説明したように、実施の形態3の変形例に従う構成によれば、実施の形態3のMRMAデバイスが奏する効果に加えて、さらに、スペアセル20sによって正規メモリセル20およびリファレンスセル20dの両方を置換することができる。この結果、スペアセルによる救済効率が上昇する。

【0211】

なお、実施の形態3およびその変形例において、実施の形態2に従う置換制御部を適用して、擬似的なヒューズブロー状態を作り出せる構成とすることも可能である。

【0212】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0213】

【発明の効果】

以上説明したように、本発明に従う磁気記憶装置では、リファレンスセル特性が正常であれば通過電流に所定の差が生じる様に設定されたリファレンスセル同士へのアクセスによってデータ読出を行なうテストモードを備えるので、各リファレンスセルそのものに不良が存在するか否かを試験することができる。この結果、特に、複数個のリファレンスセルに不良が発生した場合に、効率的に置換救することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態に従うMRAMデバイスの全体構成を示すブロック図である。

【図2】 一般的なりファレンスセル行構成におけるデータ読出を説明する回路図である。

【図3】 各正規メモリセル20の構成を示す回路図である。

【図4】 各リファレンスセル21の構成を示す回路図である。

【図5】 図1に示した行選択部30中のダミーワード線制御部の構成を示す回路図である。

【図6】 実施の形態1に従うリファレンスセルおよびスペアセルの配置を説明する図である。

【図7】 実施の構成1に従うワード線制御部の構成を示す回路図である。

【図8】 テスト制御信号の設定を説明する図である。

【図9】 実施の形態1に従うダミーワード線制御部の構成を示す回路図である。

【図10】 実施の形態1に従うスペアワード線制御部の構成を示す回路図である。

【図 1 1】 ダミーワード線制御部で使用される制御信号 R D E N を生成する構成を示す回路図である。

【図 1 2】 スペアワード線制御部で使用される制御信号 R D E S を生成する構成を示す回路図である。

【図 1 3】 基準電圧配線の電圧を制御する第 1 の電圧制御回路の構成を説明する回路図である。

【図 1 4】 基準電圧配線の電圧を制御する第 2 の電圧制御回路の構成を説明する回路図である。

【図 1 5】 実施の形態 1 に従う M R A M デバイスにおける、通常のデータ読出およびリファレンスセルテストモードでの動作を説明する動作波形図である。

【図 1 6】 実施の形態 1 に従う M R A M デバイスにおけるスペアリファレンスセルテストモードでの動作を説明するための動作波形図である。

【図 1 7】 実施の形態 2 に従う置換制御部の構成を示す第 1 の回路図である。

【図 1 8】 実施の形態 2 に従う置換制御部の構成を示す第 2 の回路図である。

【図 1 9】 実施の形態 3 に従うメモリセルアレイ構成を説明する回路図である。

【図 2 0】 実施の形態 3 に従う M R A M デバイスにおける、通常のデータ読出およびリファレンスセルテストモードでの動作を説明する動作波形図である。

【図 2 1】 実施の形態 3 の変形例に従う行選択を説明する図である。

【図 2 2】 実施の形態 3 に従うスペアワード線制御部の構成を示す回路図である。

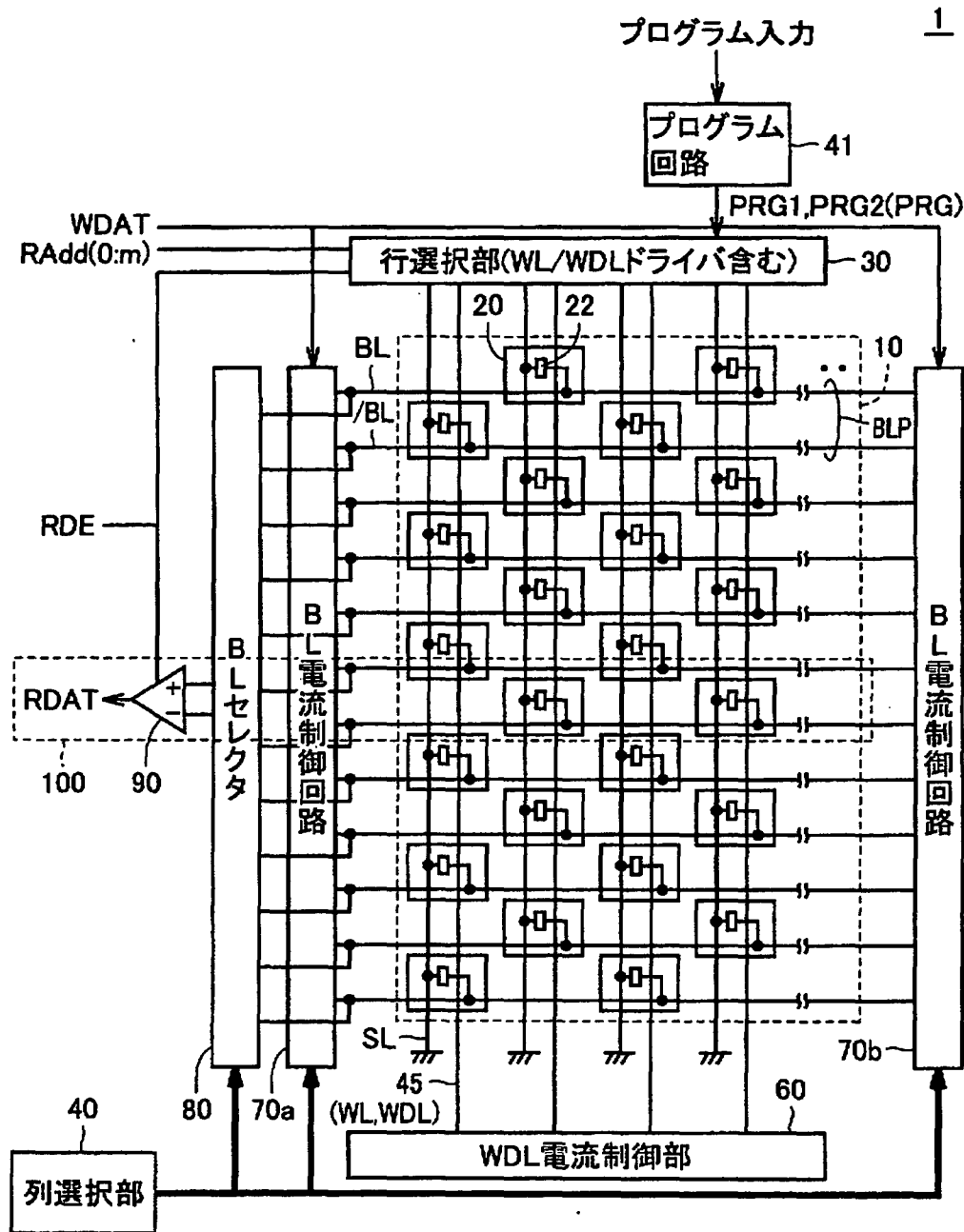
【符号の説明】

1 M R A M デバイス、1 0 メモリセルアレイ、2 0 正規メモリセル、2 0 s, 2 1 # スペアセル、2 0 d, 2 1 リファレンスセル、2 2 トンネル磁気抵抗素子、2 4, 2 6, 2 7 アクセストランジスタ、2 5 - 0, 2 5 - 1

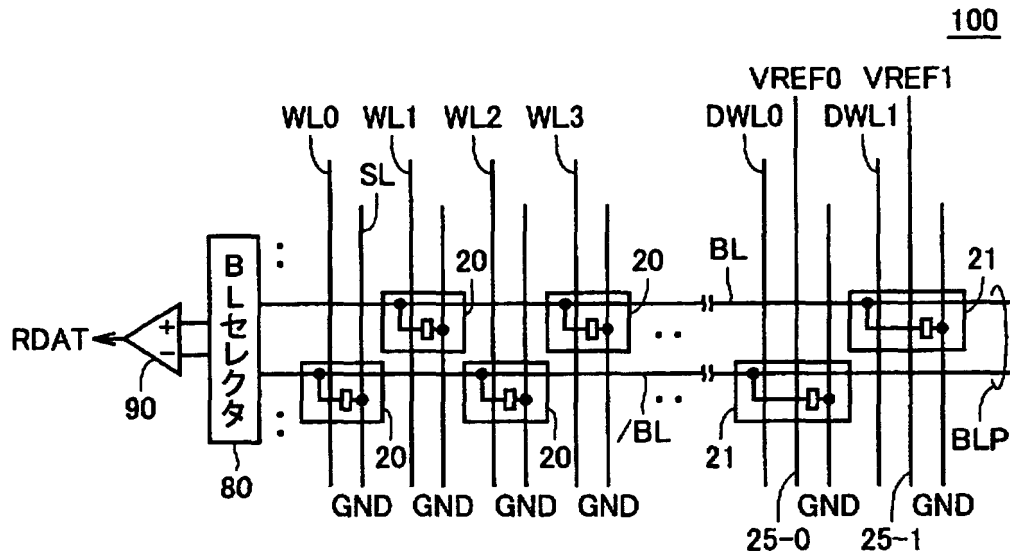
， 2 5 # - 0 ， 2 5 # - 1 基準電圧配線、 3 0 行選択部、 3 4 ， 3 4 # ス
 ペアワード線制御部、 3 5 ， 3 5 # ， 3 6 ， 3 6 # 置換制御部、 3 7 ， 3 8
 電圧制御回路、 4 0 列選択部、 4 1 a ， 4 1 b プログラムユニット、 4 2 a
 ， 4 2 b ヒューズ素子、 9 0 データ読出アンプ、 1 8 1 ， 1 8 2 ビット線
 スイッチ、 1 9 0 ビット線スイッチ制御回路、 2 0 6 ， 2 0 8 論理スイッチ
 回路、 B L ， / B L ビット線、 B L P ビット線対、 C A d d コラムアドレ
 ス信号、 D T E S T 0 ， D T E S T 1 ， S T E S T 0 ， S D T E S T 1 ， T E S
 T テスト制御信号、 D W L 0 ， D W L 1 ダミーワード線、 G N D 接地電圧
 、 I m a x ， I m i n メモリセル電流、 I r e f 基準電流、 P R G ， P R G
 1 ， P R G 2 プログラム信号、 R A d d (0) アドレスビット（最下位）、
 R A d d ロウアドレス信号、 R D E ， W T E ， R D E N ， R D E S 制御信号
 、 S D W L 0 ， S D W L 1 スペアワード線、 V R E F 基準電圧、 V c c 電
 源電圧、 W D L ライトディジット線、 W L ワード線。

【書類名】 図面

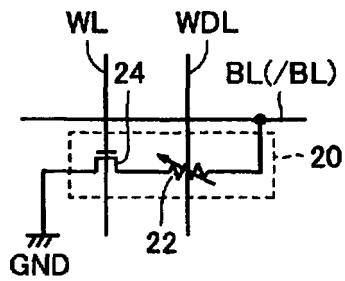
【図 1】



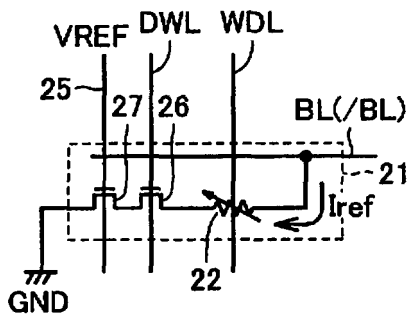
【図 2】



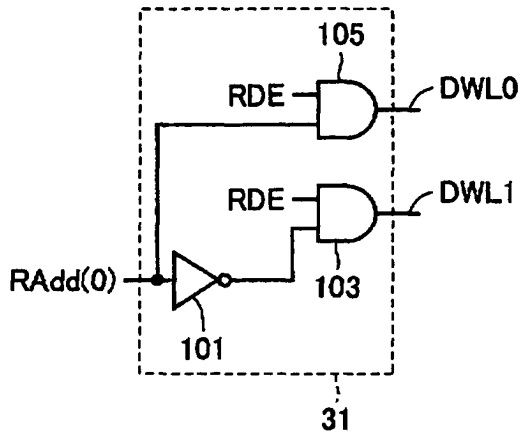
【図 3】



【図 4】

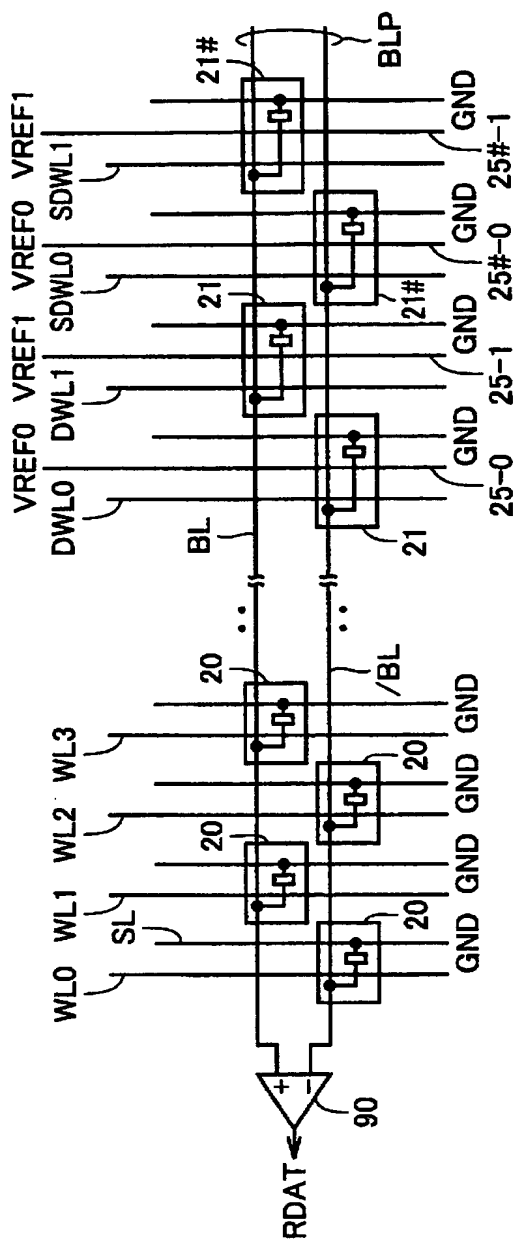


【図 5】

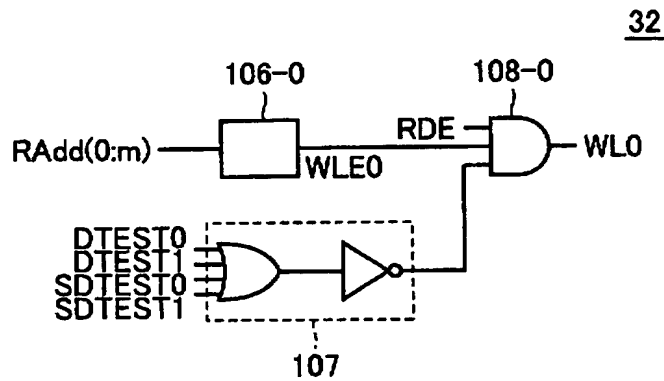


【図 6】

100#



【図 7】

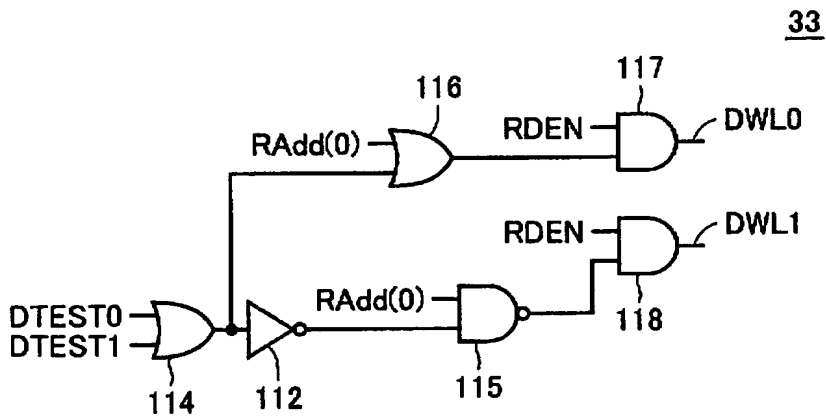


【図 8】

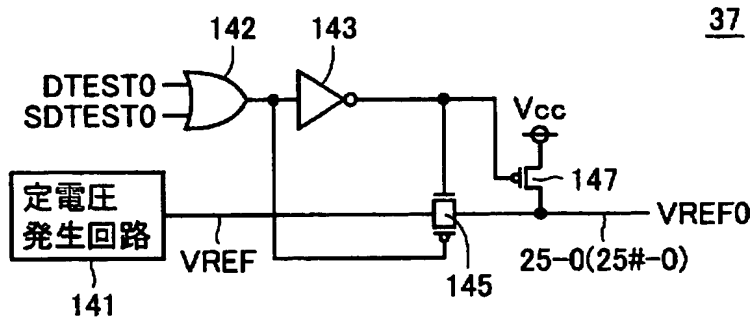
テスト制御信号	テストパターン			
	i)	ii)	iii)	iv)
DTEST0	H	L	L	L
DTEST1	L	H	L	L
SDTEST0	L	L	H	L
SDTEST1	L	L	L	H

リファレンスセル
スペアリファレンスセル
テストモード
テストモード

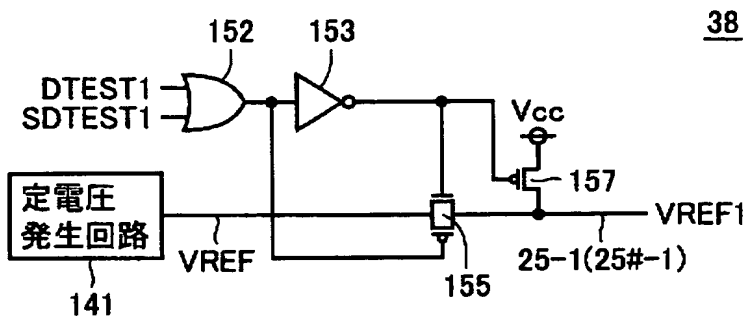
【図 9】



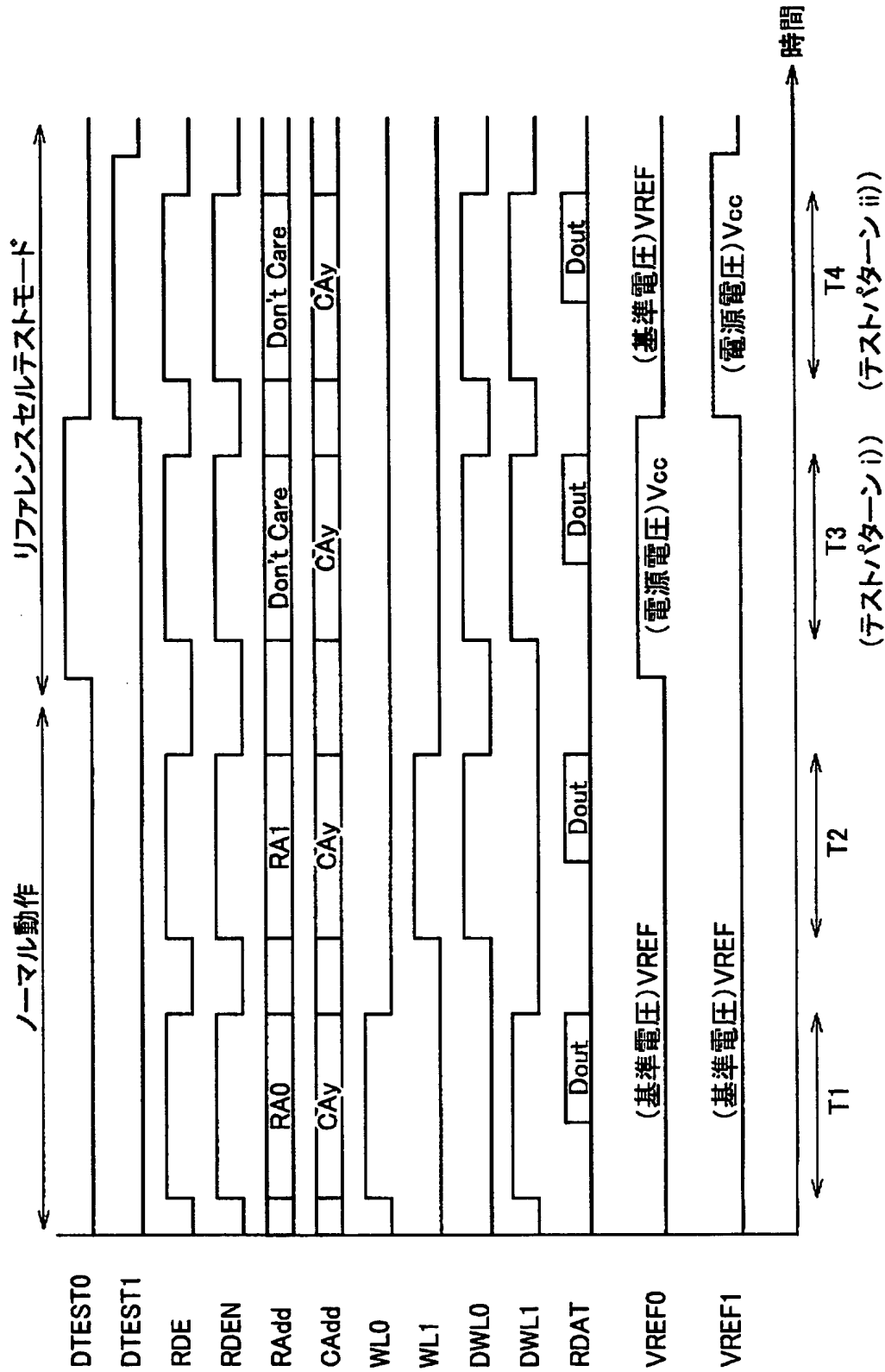
【図 1 3】



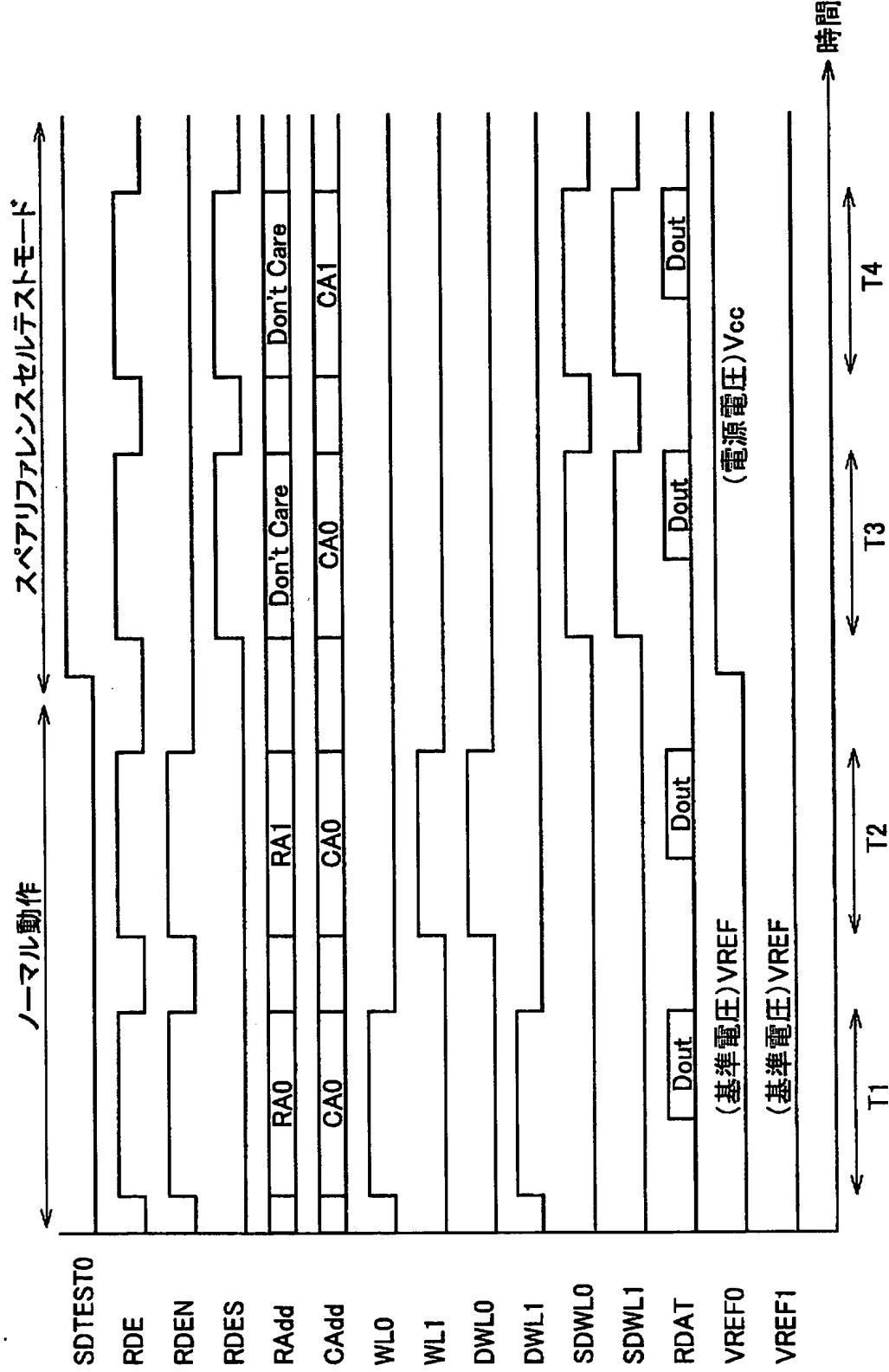
【図 1 4】



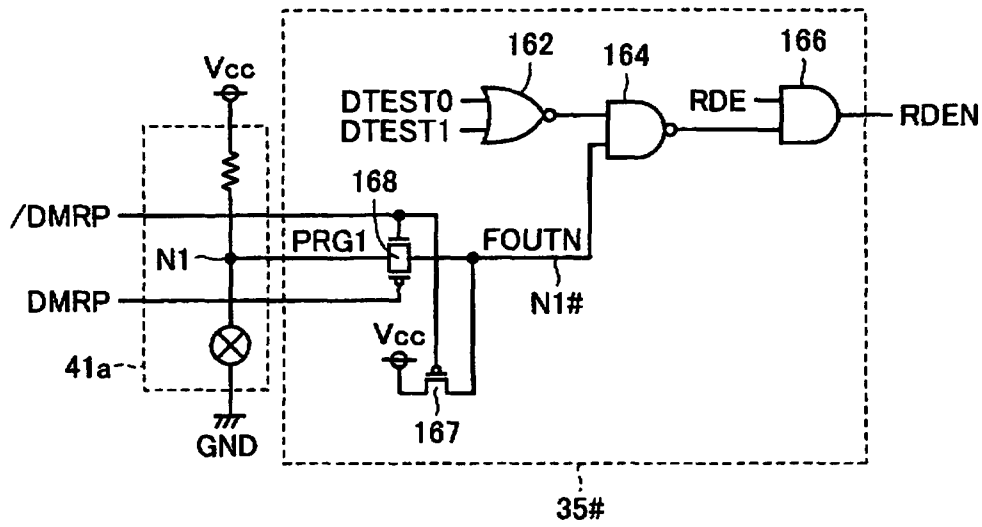
【図 15】



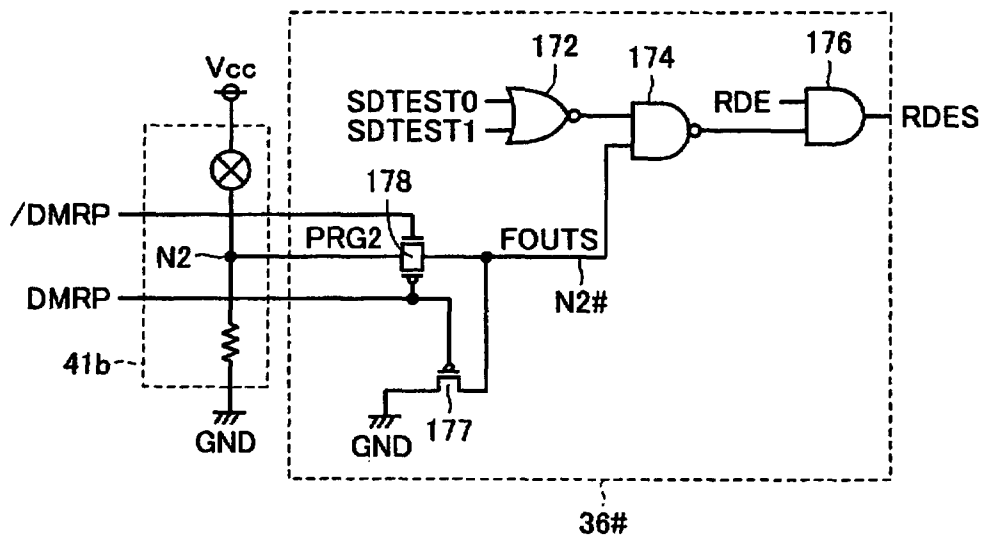
【図 1 6】



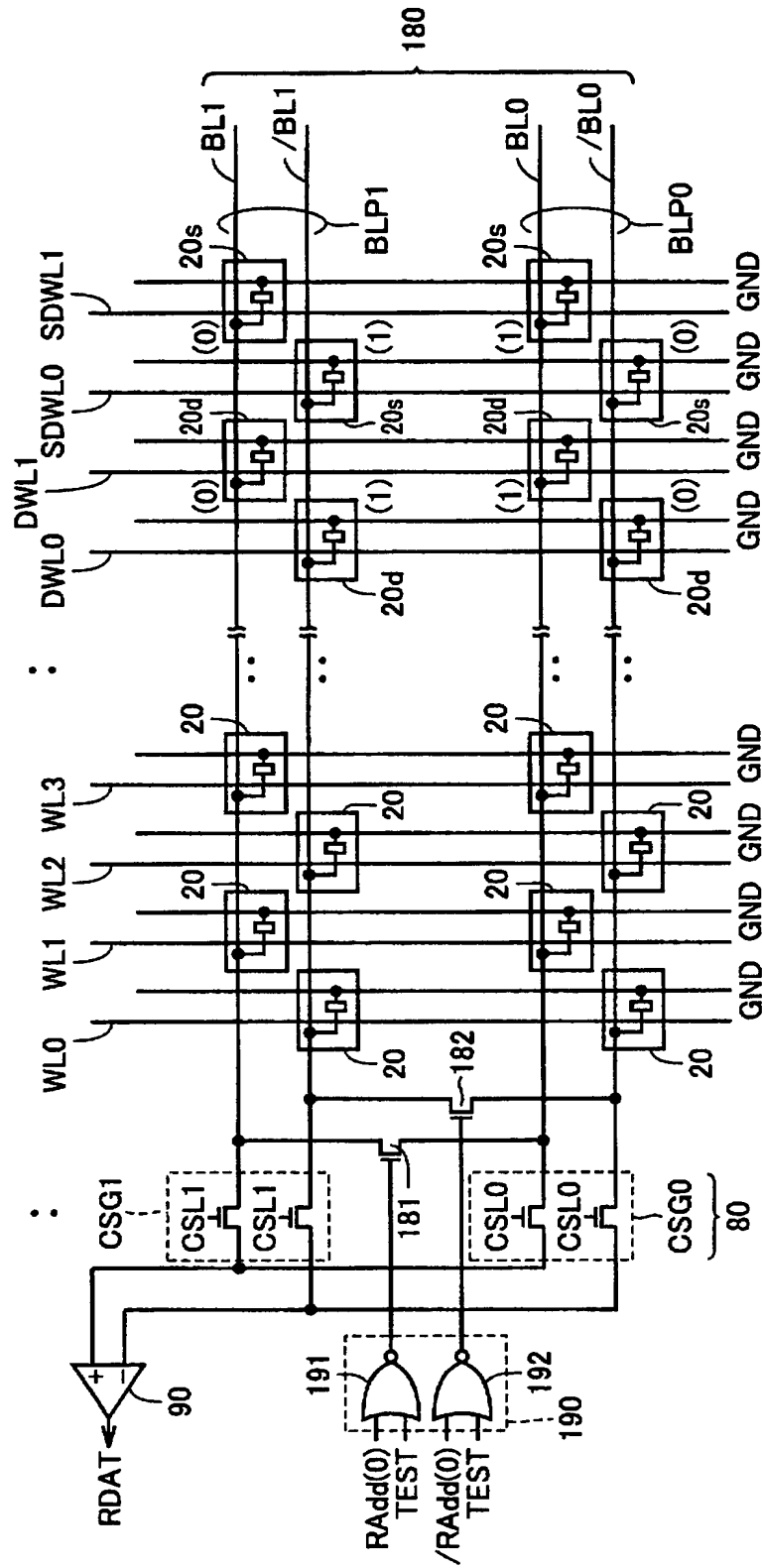
【図 1 7】



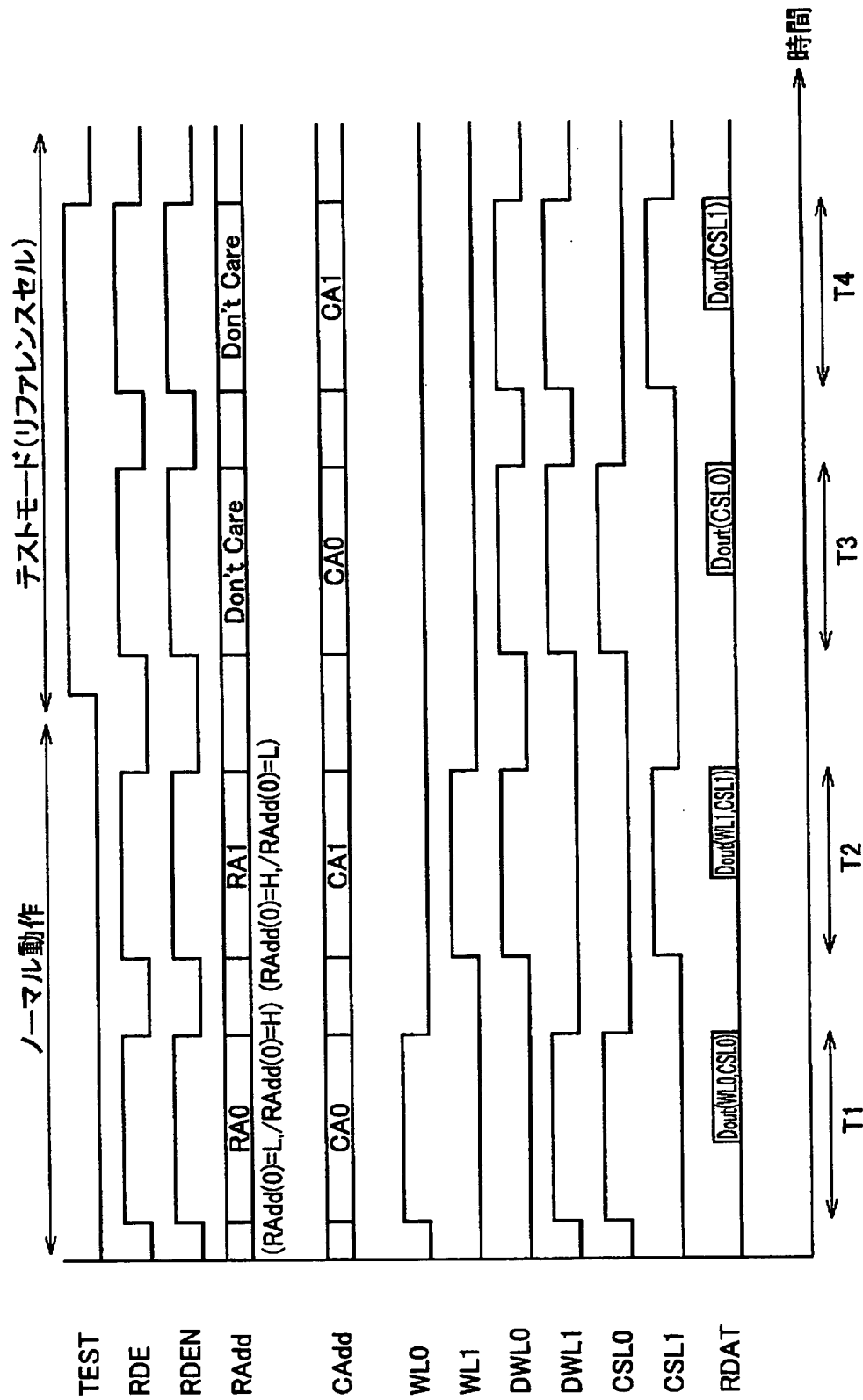
【図 1 8】



【図 19】



【図 20】



【図 2 1】

(a)

不良なし(正規メモリセル, リファレンスとも)

RAdd(0)	WL0,2,4,6,...	WL1,3,5,...	DWL0	DWL1	SDWL0	SDWL1
0(L)	選択	非選択	非選択	選択	非選択	非選択
1(H)	非選択	選択	選択	非選択	非選択	非選択

(b)

正規メモリセル(正規ワード線)置換

RAdd(0)	WL0,2,4,6,...	WL1,3,5,...	DWL0	DWL1	SDWL0	SDWL1
0(L)	選択	非選択	非選択	選択	選択	非選択
1(H)	非選択	選択	選択	非選択	非選択	選択

(不良WLのみ非選択)

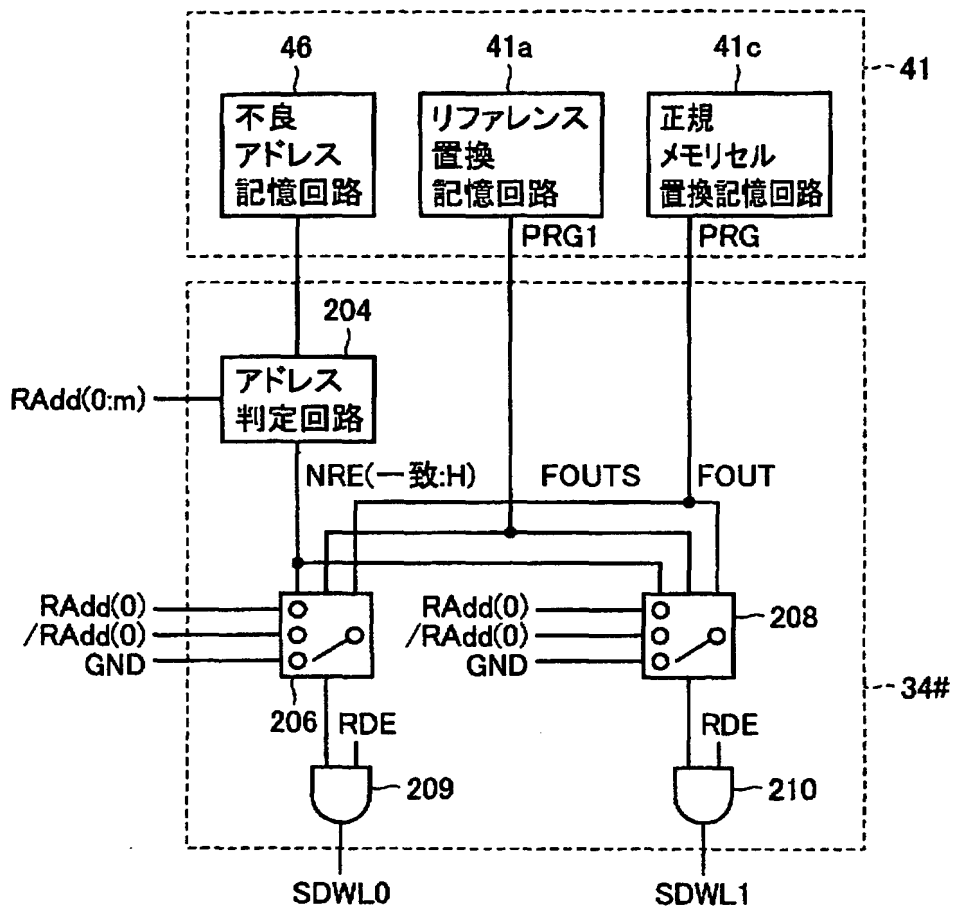
(不良WL選択部のみ)

(c)

リファレンスセル(ダミーワード線)置換

RAdd(0)	WL0,2,4,6,...	WL1,3,5,...	DWL0	DWL1	SDWL0	SDWL1
0(L)	選択	非選択	非選択	非選択	非選択	選択
1(H)	非選択	選択	非選択	非選択	選択	非選択

【図 2 2】



【書類名】 要約書

【要約】

【課題】 リファレンスセルおよびリファレンスセルを救済するスペアメモリセル自体を試験するテストモードを備えた磁気記憶装置を提供する。

【解決手段】 通常のデータ読出では、ワード線WL0、WL1、…のうちの1本とダミーワード線DWL0、DWL1の一方とが選択されて、選択された正規メモリセル20およびリファレンスセル21へのアクセスによってデータを読出す。テストモードでは、ワード線WL0、WL1、…の各々は非選択とされる一方で、ダミーワード線DWL0、DWL1の両方が選択され、さらに、基準電圧VREF0およびVREF1の一方を通常のデータ読出時とは異なるレベルに設定した状態でリファレンスセル21同士へのアクセスによってデータを読出す。

【選択図】 図6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日
[変更理由] 新規登録
住 所 東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名 三菱電機株式会社